

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-191294

(43)Date of publication of application : 23.07.1996

(51)Int.CI. H04L 7/033
H03L 7/089

(21)Application number : 07-002232 (71)Applicant : FUJITSU LTD

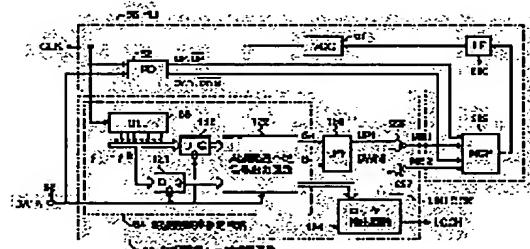
(22)Date of filing : 10.01.1995 (72)Inventor : MIYASHITA TAKUMI

(54) CLOCK REGENERATION CIRCUIT, FREQUENCY ERROR ESTIMATION CIRCUIT, PHASE DETECTOR AND CHARGE PUMP

(57)Abstract:

PURPOSE: To make the clock frequency and the bit transfer frequency coincide with each other to increase the clock regeneration speed by estimating the error between the clock frequency and the bit transfer frequency of data to control a phase locked loop without waiting for a cycle slip in a clock regeneration circuit.

CONSTITUTION: All input data signal DATA is synchronized with the phase of an output clock signal CLK from a voltage controlled oscillator VCO 57 by a phase locked loop PLL 56. A frequency error estimation circuit decodes outputs of latch circuits 120 and 121 and estimates the error between the CLK frequency and the bit transfer frequency based on quantized phases of CLK and DATA for preceding transition and current transition by a frequency overs/ shorts signal output circuit 122 and controls a multiplying charge pump 228 of the PLL 56 by a phase synchronization control circuit so that they coincide with each other. Thus, the frequency pull-in speed is increased to increase the clock regeneration speed.



LEGAL STATUS

[Date of request for examination] 22.12.2000

[Date of sending the examiner's decision of rejection] 04.06.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2002-12277

[Date of requesting appeal against examiner's decision of rejection] 04.07.2002

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-191294

(43) 公開日 平成8年(1996)7月23日

(51) Int.Cl.⁶
H 0 4 L 7/033
H 0 3 L 7/089

識別記号 庁内整理番号

F 1

技術表示簡所

H04L 7/02
H03L 7/08

B
D

審査請求 未請求 請求項の数9 OL (全30頁)

(21) 出願番号 特願平7-2232
(22) 出願日 平成7年(1995)1月10日

(71) 出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 宮下 工
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

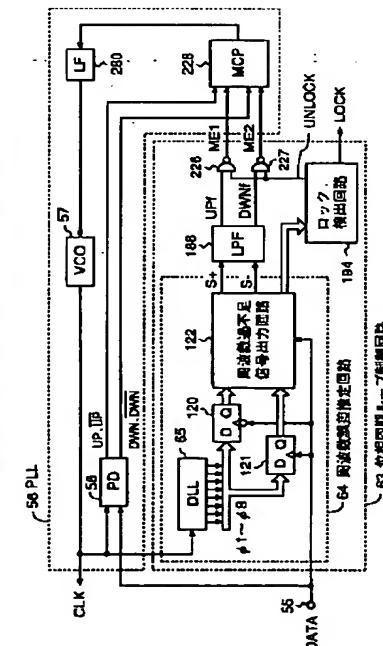
(74) 代理人 弁理士 平戸 哲夫

(54) 【発明の名称】 クロック再生回路、周波数誤差推定回路、位相検出器及びチャージポンプ

(57)【要約】

【目的】受信したデータ信号を再生する場合等に必要とされるクロック信号（送信クロック信号）を受信したデータ信号自身から再生するためのクロック再生回路に関して、タイミング・ジッタを増加させることなく、周波数の引き込みを高速化し、クロック再生の高速化を図る。

【構成】位相同期ループ制御回路63を設け、データ信号DATAの前回の遷移時におけるクロック信号CLKとデータ信号DATAとの量子化された位相誤差△β_{n-1}と、データ信号DATAの今回の遷移時におけるクロック信号CLKとデータ信号DATAとの量子化された位相誤差△β_nとの関係から、クロック信号CLKの周波数とデータ信号DATAのビット転送周波数との誤差を推定し、クロック信号CLKの周波数がデータ信号DATAのビット転送周波数に一致させるように位同期ループ56を制御する。



【特許請求の範囲】

【請求項1】データ信号を入力信号とし、電圧制御発振器から出力されるクロック信号の位相を前記データ信号に同期させる位相同期ループと、前記データ信号の前回の遷移時における前記クロック信号と前記データ信号との量子化された位相誤差と、前記データ信号の今回の遷移時における前記クロック信号と前記データ信号との量子化された位相誤差との関係から、前記クロック信号の周波数と前記データ信号のビット転送周波数との誤差を推定し、前記クロック信号の周波数が前記データ信号のビット転送周波数に一致するように前記位相同期ループを制御する位相同期ループ制御回路とを有し、前記クロック信号を前記データ信号から再生したクロック信号として出力するように構成されていることを特徴とするクロック再生回路。

【請求項2】前記位相同期ループは、前記クロック信号と前記データ信号との位相誤差を検出する前記位相同期ループ内の位相検出器及び前記位相同期ループ制御回路により出力電圧が制御されるチャージポンプを有していることを特徴とする請求項1記載のクロック再生回路。

【請求項3】前記位相同期ループ制御回路は、前記クロック信号をm相クロック信号（但し、m=4以上の整数）に多相化する多相化回路と、前記m相クロック信号を前記データ信号の第1のレベルから第2のレベルへの遷移時にラッチする第1のラッチ回路と、前記m相クロック信号を前記データ信号の第2のレベルから第1のレベルへの遷移時にラッチする第2のラッチ回路と、これら第1、第2のラッチ回路の出力信号をデコードして、前記クロック信号の周波数と前記データ信号のビット転送周波数との誤差を推定する周波数誤差推定信号を出力する周波数誤差推定信号出力回路とを有していることを特徴とする請求項1又は2記載のクロック再生回路。

【請求項4】前記電圧制御発振器は、前記クロック信号と同相の信号を含む、m相クロック信号（但し、m=4以上の整数）を出力するリングオシレータを設けて構成され、前記位相同期ループ制御回路は、前記m相クロック信号を前記データ信号の第1のレベルから第2のレベルへの遷移時にラッチする第1のラッチ回路と、前記m相クロック信号を前記データ信号の第2のレベルから第1のレベルへの遷移時にラッチする第2のラッチ回路と、これら第1、第2のラッチ回路の出力信号をデコードして、前記クロック信号の周波数と前記データ信号のビット転送周波数との誤差を推定する周波数誤差推定信号を出力する周波数誤差推定信号出力回路とを有していることを特徴とする請求項1又は2記載のクロック再生回路。

【請求項5】前記位相同期ループ制御回路は、前記クロック信号の周波数が前記データ信号のビット転送周波数に一致ないし近い周波数となったか否かを判断する手段を設け、前記クロック信号の周波数が前記データ信号の

ビット転送周波数に一致ないし近い周波数となった場合には、前記位相同期ループのチャージポンプの出力電圧を制御しないように構成されていることを特徴とする請求項2、3又は4記載のクロック再生回路。

【請求項6】クロック信号をm相クロック信号（但し、m=4以上の整数）に多相化する多相化回路と、前記m相クロック信号をデータ信号の第1のレベルから第2のレベルへの遷移時にラッチする第1のラッチ回路と、前記m相クロック信号を前記データ信号の第2のレベルから第1のレベルへの遷移時にラッチする第2のラッチ回路と、これら第1、第2のラッチ回路の出力信号をデコードして、前記クロック信号の周波数と前記データ信号のビット転送周波数との誤差を推定する周波数誤差推定信号を出力する周波数誤差推定信号出力回路とを有していることを特徴とする周波数誤差推定回路。

【請求項7】電圧制御発振器の出力信号を入力信号でラッчиし、正相出力信号と逆相出力信号とを出力するラッчи回路と、前記正相出力信号と前記入力信号とを論理積処理する第1の論理積回路と、前記逆相出力信号と前記入力信号とを論理積処理する第2の論理積回路とを有し、これら第1、第2の論理積回路の出力信号をチャージポンプ駆動信号として出力することを特徴とする位相検出器。

【請求項8】駆動電圧発生回路と、第1の端部から第2の端部への方向を順方向とし、第1の端部を前記駆動電圧発生回路に接続された第1の一方向性素子と、第1の端部から第2の端部への方向を順方向とし、第1の端部を前記第1の一方向性素子の第2の端部に接続された第2の一方向性素子と、第1の端部から第2の端部への方向を順方向とし、第1の端部を前記第2の一方向性素子の第2の端部に接続され、第2の端部を出力端に接続された第3の一方向性素子と、第1の端部から第2の端部への方向を順方向とし、第1の端部を前記出力端に接続された第4の一方向性素子と、第1の端部から第2の端部への方向を順方向とし、第1の端部を前記第4の一方向性素子の第2の端部に接続された第5の一方向性素子と、第1の端部から第2の端部への方向を順方向とし、第1の端部を前記第5の一方向性素子の第2の端部に接続され、第2の端部を前記駆動電圧発生回路に接続され

た第6の一方向性素子と、第1の端部を前記第2の一方向性素子の第1の端部に接続され、第2の端部に第1のチャージポンプ駆動信号が供給される第1のキャバシタと、第1の端部を前記第3の一方向性素子の第1の端部に接続され、第2の端部に前記第1のチャージポンプ駆動信号と反転関係にある第2のチャージポンプ駆動信号が供給される第2のキャバシタと、第1の端部を前記第5の一方向性素子の第1の端部に接続され、第2の端部に第3のチャージポンプ駆動信号が供給される第3のキャバシタと、第1の端部を前記第6の一方向性素子の第1の端部に接続され、第2の端部に前記第3のチャージ

ポンプ駆動信号と反転関係にある第4のチャージポンプ駆動信号が供給される第4のキャパシタとを有していることを特徴とするチャージポンプ。

【請求項9】前記駆動電圧発生回路は、前記出力端の電圧を制御電圧として帰還され、前記第1の一方向性素子の第1の端部の電圧及び前記第6の一方向性素子の第2の端部の電圧が前記出力端の電圧と同一ないし略同一の電圧となるように制御する構成とされていることを特徴とする請求項8記載のチャージポンプ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、受信したデータ信号を再生する場合等に必要とされるクロック信号（送信クロック信号）を、受信したデータ信号自身から再生（抽出）するためのクロック再生回路、および、このようなクロック再生回路等に使用される周波数誤差推定回路、位相検出器、チャージポンプに関する。

【0002】

【従来の技術】

従来のクロック再生回路の一例・・図34

従来、受信したデータ信号を再生する場合等に必要とされるクロック信号を、受信したデータ信号自身から再生するためのクロック再生回路として、図34に、その回路図を示すようなものが提案されている。

【0003】このクロック再生回路は、位相周波数同期ループ（PPLL）からなるものであり、図34中、1はデータ信号としてNRZ（No-Return to Zero）信号が入力されるデータ入力端子である。

【0004】また、2は電圧制御発振器（VCO）、3は電圧制御発振器2から出力される信号S_{VCO}の位相を90°遅延させてなる遅延信号S_{VCOa}を得るための遅延線である。

【0005】また、4はワンチップ化されてなる位相周波数検出器（PFD）であり、5はNRZ信号と電圧制御発振器2の出力信号S_{VCO}との位相誤差を検出する位相検出器（PD）、6はNRZ信号と遅延線3により得られる遅延信号S_{VCOa}との位相誤差を検出する位相検出器（QPD）である。

【0006】また、7は位相検出器5から出力される位相誤差検出信号Q1と位相検出器6から出力される位相誤差検出信号Q2に基づいて、NRZ信号と電圧制御発振器2の出力信号S_{VCO}との周波数誤差を検出する周波数検出器（FD）である。

【0007】また、8は位相検出器5から出力される位相誤差検出信号Q1と周波数検出器7から出力される周波数誤差検出信号Q3との合成信号Q1+Q3に対してローパスフィルタとして機能するループフィルタ（LF）であり、9はNPNトランジスタ、10、11は抵抗、12はコンデンサである。

【0008】このループフィルタ8から出力される電圧

Vcは、制御電圧として電圧制御発振器2に供給され、電圧制御発振器2は、この制御電圧Vcに応じた周波数の信号S_{VCO}を出力することになる。

【0009】このクロック再生回路は、電圧制御発振器2の出力信号S_{VCO}をNRZ信号自身から再生したクロック信号CLKとして出力するというものであり、サイクルスリップごとに、即ち、NRZ信号と電圧制御発振器2の出力信号S_{VCO}の位相誤差が36.0°に広がるごとに、NRZ信号のビット転送周波数と電圧制御発振器2の出力信号S_{VCO}の周波数との誤差を検出し、NRZ信号のビット転送周波数と電圧制御発振器2の出力信号S_{VCO}の周波数との一致を図るとしている。

【0010】従来の位相検出器及びチャージポンプの一例・・図35

従来、位相同期ループに使用される位相検出器及びチャージポンプとして、図35に、その回路図を示すようなものが提案されている。

【0011】図35中、14は位相検出器であり、15はデータ入力端子Dに電圧制御発振器の出力信号S_{VCO}

20が入力され、同期信号入力端子Cに入力信号INが入力されるラッチ回路（Dフリップフロップ回路）である。

【0012】また、16は入力信号INを入力し、ワンショットパルスOSを発生するワンショットパルス発生回路である。

【0013】また、17はラッチ回路15の逆相出力/Qとワンショットパルス発生回路16から出力されるワンショットパルスOSとをNAND処理し、電圧制御発振器の出力信号S_{VCO}の周波数を上げるためのアップ信号UPを出力するNAND回路である。

【0014】また、18はラッチ回路15の正相出力Qとワンショットパルス発生回路16から出力されるワンショットパルスOSとをAND処理し、電圧制御発振器の出力信号S_{VCO}の周波数を下げるためのダウン信号DW

Nを出力するAND回路である。

【0015】また、19はチャージポンプであり、VC

Cは電源電圧、20はNAND回路17から出力される

アップ信号UPによりON、OFFが制御されるPNPトランジスタ、21はAND回路18から出力されるダ

ウン信号DWによりON、OFFが制御されるNPNトランジスタである。

【0016】ここに、位相検出器14においては、電圧制御発振器の出力信号S_{VCO}の位相が入力信号INの位相よりも進んでいる場合には、ラッチ回路15の正相出力Q=高レベル（以下、Hレベルという）、ラッチ回路15の逆相出力/Q=低レベル（以下、Lレベルとい

う）となる。

【0017】この結果、この場合には、ワンショットパルス発生回路16からワンショットパルスOSが発生されている間、アップ信号UP=Hレベル、ダウン信号DW=Lレベルとなる。

【0018】したがって、この場合には、チャージポンプ19においては、PNPトランジスタ20=OFF、NPNトランジスタ21=ONとなり、ループフィルタ側からチャージポンプ19に電流が流れ込むことになる。

【0019】これに対して、電圧制御発振器の出力信号S_{Vc0}の位相が入力信号INの位相よりも遅れている場合には、ラッチ回路15の正相出力Q=Lレベル、ラッチ回路15の逆相出力/Q=Hレベルとなる。

【0020】この結果、この場合には、ワンショットパルス発生回路16からワンショットパルスOSが発生されている間、アップ信号UP=Lレベル、ダウン信号DW=Hレベルとなる。

【0021】したがって、この場合には、チャージポンプ19においては、PNPトランジスタ20=ON、NPNトランジスタ21=OFFとなり、チャージポンプ19からループフィルタ側に電流が流れ出すことになる。

【0022】

【発明が解決しようとする課題】

図34に示すクロック再生回路が有する問題点

図34に示すクロック再生回路においては、サイクルスリップごとに、NRZ信号のビット転送周波数と電圧制御発振器2の出力信号S_{Vc0}の周波数との誤差を検出しているので、NRZ信号のビット転送周波数と電圧制御発振器2の出力信号S_{Vc0}の周波数との誤差が小さくなってくると、ループフィルタ8から出力される電圧V_cが余りに低くなってしまい、このため、周波数引き込みに時間がかかりすぎ、クロック再生の高速化を図ることができないという問題点があった。

【0023】ここに、位相検出器5及び周波数検出器7のゲインを上げるようにする場合には、NRZ信号のビット転送周波数と電圧制御発振器2の出力信号S_{Vc0}の周波数との誤差が小さくなってきた場合においても、ループフィルタ8から出力される電圧V_cを高めることができるが、このようにすると、データ通信中のタイミング・ジッタが増加してしまうという問題点があった。

【0024】図34に示す周波数検出器7が有する問題点

図34に示す周波数検出器7においては、サイクルスリップごとに、NRZ信号のビット転送周波数と電圧制御発振器2の出力信号S_{Vc0}の周波数との誤差を検出しているので、周波数誤差検出の高速化を図ることができず、これを、例えば、クロック再生回路に使用する場合には、周波数の引き込みを高速化して、クロック再生の高速化を図ることができないという問題点があった。

【0025】図35に示す位相検出器14が有する問題点

図35に示す位相検出器14においては、ワンショットパルス発生回路16からワンショットパルスOSを発生

させ、チャージポンプ駆動信号（アップ信号UP、ダウン信号DW）のパルス幅を決定するようしているが、入力信号INが高速になると、ワンショットパルスOSの発生が困難になり、入力信号INの高速化に対応することができないという問題点があった。

【0026】図35に示すチャージポンプ19が有する問題点

図35に示すチャージポンプ19においては、入力信号INが高速化し、ワンショットパルスOSのパルス幅が短くなり、チャージポンプ駆動信号のパルス幅が短くなると、これに応答した動作が困難になり、入力信号INの高速化に対応することができないという問題点があった。

【0027】本発明は、かかる点に鑑み、タイミング・ジッタを増加させることなく、周波数の引き込みを高速化し、クロック再生の高速化を図ることができるようとしたクロック再生回路を提供することを第1の目的とする。

【0028】また、本発明は、周波数誤差検出の高速化を図り、これを、例えば、クロック再生回路に使用する場合には、周波数の引き込みを高速化し、クロック再生の高速化を図ることができるようとした周波数誤差推定回路を提供することを第2の目的とする。

【0029】また、本発明は、入力信号の高速化に対応することができるようとした位相検出器を提供することを第3の目的とする。

【0030】また、本発明は、チャージポンプ駆動信号のパルス幅を入力信号から生成したワンショットパルスにより決定することを不要とし、入力信号の高速化に対応することができるようとしたチャージポンプを提供することを第4の目的とする。

【0031】

【課題を解決するための手段】

本発明のクロック再生回路・・図1

図1は本発明のクロック再生回路の原理説明図であり、本発明のクロック再生回路は、位同期ループ26と、位同期ループ制御回路27とを有している。

【0032】ここに、位同期ループ26は、データ信号DATAを入力信号とし、位同期ループ26内の電圧制御発振器（VCO）28から出力されるクロック信号CLKの位相をデータ信号DATAに同期させるものである。

【0033】また、位同期ループ制御回路27は、データ信号DATAの前回の遷移時におけるクロック信号CLKとデータ信号DATAとの量子化された位相差と、データ信号DATAの今回の遷移時におけるクロック信号CLKとデータ信号DATAとの量子化された位相差との関係から、クロック信号CLKの周波数とデータ信号DATAのビット転送周波数との誤差を推定し、クロック信号CLKの周波数がデータ信号DATAのビ

ット転送周波数に一致するように位相同期ループ26を制御するものである。

【0034】本発明の周波数誤差推定回路・・図2
図2は本発明の周波数誤差推定回路の原理説明図であり、本発明の周波数誤差推定回路は、多相化回路30と、ラッチ回路31、32と、周波数誤差推定信号出力回路33とを有している。

【0035】ここに、多相化回路30は、クロック信号CLKをm相クロック信号 $\phi_1 \sim \phi_m$ （但し、m=4以上の整数）に多相化するものである。

【0036】また、ラッチ回路31は、m相クロック信号 $\phi_1 \sim \phi_m$ をデータ信号DATAの第1のレベルから第2のレベルへの遷移時（例えば、HレベルからLレベルへの遷移時）にラッチするものである。

【0037】また、ラッチ回路32は、m相クロック信号 $\phi_1 \sim \phi_m$ をデータ信号DATAの第2のレベルから第1のレベルへの遷移時（例えば、LレベルからHレベルへの遷移時）にラッチするものである。

【0038】また、周波数誤差推定信号出力回路33は、ラッチ回路31、32の出力信号をデコードして、クロック信号CLKの周波数とデータ信号DATAのビット転送周波数との誤差を推定する周波数誤差推定信号を出力するものである。

【0039】本発明の位相検出器・・図3

図3は本発明の位相検出器の原理説明図であり、本発明の位相検出器は、ラッチ回路35と、論理積回路36、37とを有し、これら論理積回路36、37の出力信号をチャージポンプ駆動信号として出力するというものである。

【0040】ここに、ラッチ回路35は、電圧制御発振器の出力信号SV_{cc}を入力信号INでラッチし、正相出力信号と逆相出力信号とを出力するものである。

【0041】また、論理積回路36は、ラッチ回路35の正相出力信号と入力信号INとを論理積処理し、チャージポンプ駆動信号として、例えば、ダウン信号DWN及び反転ダウン信号／DWNを出力するものである。

【0042】また、論理積回路37は、ラッチ回路35の逆相出力信号と入力信号INとを論理積処理し、チャージポンプ駆動信号として、例えば、アップ信号UP及び反転アップ信号／UPを出力するものである。

【0043】本発明のチャージポンプ・・図4

図4は本発明のチャージポンプの原理説明図であり、本発明のチャージポンプは、電流の流し出し又は流し込みを行うポンプ部40と、このポンプ部40に駆動電圧を供給する駆動電圧発生回路41とを有している。なお、42は出力端である。

【0044】また、ポンプ部40において、43は端部43Aから端部43Bへの方向を順方向（電流が流れやすい方向）とする一方向性素子、44は端部44Aから端部44Bへの方向を順方向とする一方向性素子、45

は端部45Aから端部45Bへの方向を順方向とする一方向性素子である。

【0045】また、46は端部46Aから端部46Bへの方向を順方向とする一方向性素子、47は端部47Aから端部47Bへの方向を順方向とする一方向性素子、48は端部48Aから端部48Bへの方向を順方向とする一方向性素子である。

【0046】これら一方向性素子43～48には、ダイオード又はダイオード接続した電界効果トランジスタを使用することができる。

【0047】ここに、一方向性素子43は、端部43Aを駆動電圧発生回路41に接続され、一方向性素子44は、端部44Aを一方向性素子43の端部43Bに接続され、一方向性素子45は、端部45Aを一方向性素子44の端部44Bに接続され、端部45Bを出力端42に接続されている。

【0048】また、一方向性素子46は、端部46Aを出力端42に接続され、一方向性素子47は、端部47Aを一方向性素子46の端部46Bに接続され、一方向性素子48は、端部48Aを一方向性素子47の端部47Bに接続され、端部48Bを駆動電圧発生回路41に接続されている。

【0049】また、49～52はキャバシタ、UPは電圧制御発振器の出力信号の周波数を上げるために位相検出器から供給されるアップ信号、／UPはアップ信号と反転関係にある反転アップ信号である。

【0050】また、DWNは電圧制御発振器の出力信号の周波数を下げるために位相検出器から供給されるダウン信号、／DWNはダウン信号と反転関係にある反転ダウン信号である。

【0051】ここに、キャバシタ49は、端部49Aを一方向性素子44の端部44Aに接続され、端部49Bに、例えば、反転アップ信号／UPが供給されるように構成されている。

【0052】また、キャバシタ50は、端部50Aを一方向性素子45の端部45Aに接続され、端部50Bに、例えば、アップ信号UPが供給されるように構成されている。

【0053】また、キャバシタ51は、端部51Aを一方向性素子47の端部47Aに接続され、端部51Bに、例えば、反転ダウン信号／DWNが供給されるように構成されている。

【0054】また、キャバシタ52は、端部52Aを一方向性素子48の端部48Aに接続され、端部52Bに、例えば、ダウン信号DWNが供給されるように構成されている。

【0055】

【作用】

本発明のクロック再生回路・・図1

50 本発明のクロック再生回路においては、位相同期ループ

制御回路27を設け、データ信号DATAの前回の遷移時におけるクロック信号CLKとデータ信号DATAとの量子化された位相差と、データ信号DATAの今回の遷移時におけるクロック信号CLKとデータ信号DATAとの量子化された位相差との関係から、クロック信号CLKの周波数とデータ信号DATAのビット転送周波数との誤差を推定し、クロック信号CLKの周波数がデータ信号DATAのビット転送周波数に一致するように位同期ループ26を制御するとしている。

【0056】即ち、サイクルスリップを待たずに、クロック信号CLKの周波数とデータ信号DATAのビット転送周波数との誤差を推定し、クロック信号CLKの周波数がデータ信号DATAのビット転送周波数に一致するように位同期ループ26を制御するとしている。

【0057】したがって、サイクルスリップごとに、クロック信号CLKの周波数とデータ信号DATAのビット転送周波数との誤差を検出するとしている従来例の場合と異なり、周波数の引き込みを高速化することができる。

【0058】本発明の周波数誤差推定回路・・図2
本発明の周波数誤差推定回路においては、多相化回路30により、クロック信号CLKをm相クロック信号 $\phi_1 \sim \phi_m$ に多相化し、ラッチ回路31において、m相クロック信号 $\phi_1 \sim \phi_m$ をデータ信号DATAの第1のレベルから第2のレベルへの遷移時にラッチし、ラッチ回路32において、m相クロック信号 $\phi_1 \sim \phi_m$ をデータ信号DATAの第2のレベルから第1のレベルへの遷移時にラッチするとしている。

【0059】これにより、データ信号DATAの前回の遷移時におけるクロック信号CLKとデータ信号DATAとの量子化された位相差と、データ信号DATAの今回の遷移時におけるクロック信号CLKとデータ信号DATAとの量子化された位相差とを記憶することができる。

【0060】そして、周波数誤差推定信号出力回路33において、ラッチ回路31、32の出力信号をデコードして、クロック信号CLKの周波数とデータ信号DATAのビット転送周波数との誤差を推定する周波数誤差推定信号を出力させるとしている。

【0061】したがって、サイクルスリップを待たず
に、クロック信号CLKの周波数と、データ信号DATAのビット転送周波数との誤差を推定することができ、周波数誤差検出の高速化を図ることができ、これを、例えば、クロック再生回路に使用する場合には、周波数の引き込みを高速化することができる。

【0062】本発明の位相検出器・・図3

本発明の位相検出器においては、ラッチ回路35の出力信号と入力信号INとを論理積処理することにより、チャージポンプ駆動信号を得るように構成されており、ワ

力信号INの高速化に対応することができる。

【0063】本発明のチャージポンプ・・図4

本発明のチャージポンプにおいては、アップ信号UPをHレベルとすることにより、あるいは、アップ信号UP及び反転アップ信号/UPを交互にHレベルとすることにより、出力端42側に電流を流し出させることができる。

【0064】また、ダウン信号DWNをHレベルとすることにより、あるいは、ダウン信号DWN及び反転ダウン信号/DWNを交互にHレベルとすることにより、出力端42側から電流を流し込むことができる。

【0065】ここに、アップ信号UP、反転アップ信号/UP、ダウン信号DWN及び反転ダウン信号/DWNの一方向性素子45、44、48、47の端部45A、44A、48A、47Aに対する印加は、それぞれ、キャバシタ50、49、52、51を介して行われる。

【0066】この結果、アップ信号UP、反転アップ信号/UP、ダウン信号DWN、反転ダウン信号/DWNに必要なパルス幅は、これらキャバシタ50、49、52、51により決定されるので、これらチャージポンプ駆動信号のパルス幅を入力信号から生成したワンショットパルスにより決定することを不要とし、入力信号の高速化に対応することができる。

【0067】また、本発明のチャージポンプにおいては、駆動電圧発生回路41を、一方向性素子43の端部43Aの電圧及び一方向性素子48の端部48Bの電圧が出力端42の電圧と同一ないし略同一の電圧になるように制御する構成とする場合には、出力インピーダンスを高めることができ、電源ノイズの影響の低減化を図ることができる。

【0068】ここに、一方向性素子43～45を、例えば、ダイオード接続した電界効果トランジスタで構成した場合において、これら電界効果トランジスタのスレッショルド電圧を V_{TH} 、一方向性素子43の端部43Aの電圧を V_{43A} 、出力端42の電圧を V_{42} 、アップ信号UP及び反転アップ信号/UPの振幅をMとすると、一方向性素子44の端部44Aの電圧 V_{44A} は、 $V_{43A} - V_{TH} + M \sim V_{43A} - V_{TH}$ となり、一方向性素子45の端部45Aの電圧 V_{45A} は、 $V_{45A} = V_{42} + V_{TH} \sim V_{42} + V_{TH} - M$ となる。

【0069】そこで、 $V_{43A} = V_{42}$ となるように制御する場合には、一方向性素子44を通る電荷 Q_{down} は、 $C(V_{44A} - V_{43A} - V_{TH}) = C(V_{43A} - V_{TH} + M - (V_{42} + V_{TH} - M) - V_{TH}) = C(2M - 3V_{TH})$ となる。但し、Cは、キャバシタ49、50の容量である。

【0070】したがって、出力端42に流れ出る電流I_{down}は、 $I_{down} \times Q_{down}$ となる。但し、 f_{down} はbps(bit per second) × DTD(data transition density)である。

【0071】また、本発明のチャージポンプを2個使用

11

する場合には、相補的に駆動する回路構成が可能となり、電圧制御発振器の出力信号が電源ノイズの影響を受けないようにすることができる。

【0072】

【実施例】以下、図5～図33を参照して、本発明のクロック再生回路の第1実施例～第4実施例につき、本発明の周波数誤差推定回路、位相検出器及びチャージポンプの各実施例を含めて説明する。

【0073】本発明のクロック再生回路の第1実施例・図5～図22

図5は本発明のクロック再生回路の第1実施例の構成を示す回路図であり、図5中、55はクロック信号を再生すべきデータ信号DATAが入力されるデータ入力端子である。

【0074】また、56は位同期ループ(PLL)であり、57はクロック信号CLKを出力する電圧制御発振器(VCO)、58はクロック信号CLKとデータ信号DATAとの位相誤差を検出する位相検出器(PD)である。

【0075】この位相検出器58は、図6に示すように構成されており、図6中、60はポジティブ・エッジ型のラッチ回路であり、データ入力端子Dにクロック信号CLKが入力され、同期入力端子Cにデータ信号DATAが入力される。

【0076】また、61はラッチ回路60の正相出力Qとデータ信号DATAとからダウン信号DWN及び反転ダウン信号/DWNを生成する反転出力端子を有するAND回路である。

【0077】また、62はラッチ回路60の逆相出力/Qとデータ信号DATAとからアップ信号UP及び反転アップ信号/UPを生成する反転出力端子を有するAND回路である。

【0078】ここに、データ信号DATAがHレベルになった時点において、クロック信号CLKの位相がデータ信号DATAよりも進んでいる場合には、ラッチ回路60の正相出力Q=Hレベル、ラッチ回路60の逆相出力/Q=Lレベルとなる。

【0079】この結果、データ信号DATA=Hレベルにある間は、ダウン信号DWN=Hレベル、反転ダウン信号/DWN=Lレベル、アップ信号UP=Lレベル、反転アップ信号/UP=Hレベルとなる。

【0080】そして、その後、データ信号DATA=Lレベルに反転すると、ダウン信号DWN=Lレベル、反転ダウン信号/DWN=Hレベルとなり、アップ信号UP=Lレベル、反転アップ信号/UP=Hレベルが維持される。

【0081】これに対して、データ信号DATAがHレベルになった時点において、クロック信号CLKの位相がデータ信号DATAよりも遅れている場合には、ラッチ回路60の正相出力Q=Lレベル、ラッチ回路60の

10

12

逆相出力/Q=Hレベルとなる。

【0082】この結果、データ信号DATA=Hレベルにある間は、ダウン信号DWN=Lレベル、反転ダウン信号/DWN=Hレベル、アップ信号UP=Hレベル、反転アップ信号/UP=Lレベルとなる。

【0083】そして、その後、データ信号DATA=Lレベルに反転すると、ダウン信号DWN=Lレベル、反転ダウン信号/DWN=Hレベルが維持され、アップ信号UP=Lレベル、反転アップ信号/UP=Hレベルとなる。

【0084】このように、位相検出器58は、電圧制御発振器57から出力されるクロック信号CLKをデータ信号DATAでラッチしてなる信号とデータ信号DATAとを論理積処理することにより、チャージポンプ駆動信号であるアップ信号UP、反転アップ信号/UP、ダウン信号DWN、反転ダウン信号/DWNを得ることができるようにされており、ワンショットパルス発生回路を必要としていないので、データ信号DATAの高速化に対応することができる。

20

【0085】また、図5において、63はクロック信号CLKの周波数とデータ信号DATAのビット転送周波数との誤差を推定し、クロック信号CLKの周波数がデータ信号DATAのビット転送周波数に一致するよう位同期ループ56を制御する位同期ループ制御回路である。

30

【0086】また、64はデータ信号DATAの前回の遷移におけるクロック信号CLKとデータ信号DATAの位相誤差と、データ信号DATAの今回の遷移におけるクロック信号CLKとデータ信号DATAの位相誤差との関係から、クロック信号CLKの周波数とデータ信号DATAのビット転送周波数の誤差を推定する周波数誤差推定回路である。

40

【0087】この周波数誤差推定回路64においては、クロック信号CLKの位相0～2πは、図7及び表1に示すように量子化される。以下、量子化された位相を量子化位相、量子化位相で比較された位相誤差を量子化位相誤差と言う。

【0088】

【表1】

50

クロック信号CLKの位相θ	量子化位相
$0 \leq \theta < \pi/4$	1
$\pi/4 \leq \theta < 2\pi/4$	2
$2\pi/4 \leq \theta < 3\pi/4$	3
$3\pi/4 \leq \theta < 4\pi/4$	4
$4\pi/4 \leq \theta < 5\pi/4$	5
$5\pi/4 \leq \theta < 6\pi/4$	6
$6\pi/4 \leq \theta < 7\pi/4$	7
$7\pi/4 \leq \theta < 8\pi/4$	8

【0089】また、周波数誤差推定回路64において、65は遅延同期ループ(DLL)であり、この遅延同期ループ65は、図7に示すように、クロック信号CLKの位相を8分割し、クロック信号CLKを、クロック信号CLKと同相のクロック信号φ1を含む、 $\pi/4$ ずつ位相を異にする8相のクロック信号φ1～φ8に多相化するものである。

【0090】この遅延同期ループ65は、図8に示すように構成されており、クロック信号CLKはクロック信号φ1、クロック信号CLKを反転してなる反転クロック信号/CLKはクロック信号φ5として扱われる。

【0091】また、図8中、67はクロック信号CLK及び反転クロック信号/CLKを遅延してクロック信号φ2、φ6を得るための遅延セル、68はクロック信号φ2、φ6を遅延してクロック信号φ3、φ7を得るために遅延セルである。

【0092】また、69はクロック信号φ3、φ7を遅延してクロック信号φ4、φ8を得るために遅延セル、70はクロック信号φ8を遅延してクロック信号φ1と位相同期させるクロック信号φ9を得るために遅延セルである。

【0093】また、71は位相同期を取るべきクロック信号φ1、φ9が入力される位相検出器(PD)、72はチャージポンプ(CP)、73はループフィルタ(LF)である。

【0094】ここに、遅延セル67～70としては、例えば、図9に示すような遅延セルを使用することができる。

【0095】図9中、75は遅延の対象となる信号inが入力される信号入力端子、76は信号inと反転関係にあり、かつ、遅延の対象となる信号/inが入力される反転信号入力端子である。

【0096】この遅延セルを、例えば、図8に示す初段の遅延セル67に使用する場合には、信号入力端子75にクロック信号CLKを入力し、反転信号入力端子76に反転クロック信号/CLKを入力する。

【0097】また、77は遅延部であり、78は遅延制御電圧VCが入力される遅延制御電圧入力端子、79は遅延制御電圧VCと反転関係にある反転遅延制御電圧/VCが入力される反転遅延制御電圧入力端子、80、81はエンハンスメント形のMOSFET、82～84は抵抗である。

【0098】この遅延セルを図8に示す遅延セル67～70に使用する場合には、遅延制御電圧入力端子78にはループフィルタ73の非反転出力電圧を入力し、反転遅延制御電圧入力端子79にはループフィルタ73の反転出力電圧を入力する。

【0099】また、85はバッファ部であり、86はソースホロア部、87は差動增幅部、88は出力部である。

【0100】また、89～95はデブレッシュン形のMOSFET、96～101はエンハンスメント形のMOSFET、102、103は抵抗、104、105はダイオードである。

【0101】また、outは入力信号inに対応した出力信号、/outは入力信号/inに対応した出力信号、outdは出力信号outをダイオード104でシフトしてなる出力信号、/outdは出力信号/outをダイオード105でシフトしてなる出力信号である。

【0102】この遅延セルを、例えば、図8に示す遅延セル67に使用する場合には、出力信号outとしてクロック信号φ2を得ることができ、出力信号/outとしてクロック信号φ6を得ることができる。

【0103】また、遅延同期ループ65は、図10に示すように構成することもでき、この例では、クロック信号CLKはクロック信号φ1として扱われる。

【0104】また、図10中、107はクロック信号CLKを遅延してクロック信号φ2を得るために遅延セル、108はクロック信号φ2を遅延してクロック信号φ3を得るために遅延セルである。

【0105】また、109はクロック信号φ3を遅延してクロック信号φ4を得るために遅延セル、110はクロック信号φ4を遅延してクロック信号φ5を得るために遅延セルである。

【0106】また、111はクロック信号φ1を反転してクロック信号φ5を得るためにインバータ、112はクロック信号φ2を反転してクロック信号φ6を得るためにインバータである。

【0107】また、113はクロック信号φ3を反転してクロック信号φ7を得るためにインバータ、114はクロック信号φ4を反転してクロック信号φ8を得るためにインバータである。

【0108】また、115は遅延セル110から出力されるクロック信号φ5を反転してクロック信号φ1と位相同期させるクロック信号φ9を得るためにインバータである。

【0109】また、116は位相同期を取るべきクロック信号 ϕ_1 、 ϕ_9 が入力される位相検出器(PD)、117はチャージポンプ(CP)、118はループフィルタ(LF)である。

【0110】また、図5において、120はデータ信号DATAのHレベルからLレベルへの遷移時におけるクロック信号 $\phi_1 \sim \phi_8$ のレベルをラッチすることによって、データ信号DATAのHレベルからLレベルへの遷移時におけるクロック信号CLKとデータ信号DATAとの量子化位相誤差 $\Delta\beta_{H-L}$ を記憶するネガティブ・エッジ型のラッチ回路である。

【0111】また、121はデータ信号DATAのLレベルからHレベルへの遷移時におけるクロック信号 $\phi_1 \sim \phi_8$ のレベルをラッチすることによって、データ信号DATAのLレベルからHレベルへの遷移時におけるク*

* ロック信号CLKとデータ信号DATAとの量子化位相誤差 $\Delta\beta_{L-H}$ を記憶するポジティブ・エッジ型のラッチ回路である。

【0112】図11は、これらラッチ回路120、121をより詳しく示す図であり、これらラッチ回路120、121においては、データ入力端子D1～D8には、それぞれ、クロック信号 $\phi_1 \sim \phi_8$ が入力され、同期入力端子Cには、データ信号DATAが入力される。

【0113】この結果、データ信号DATAのHレベルからLレベルへの遷移時におけるクロック信号CLKとデータ信号DATAとの量子化位相誤差 $\Delta\beta_{H-L}$ と、ラッチ回路120の正相出力Q1～Q8との関係は、表2に示すようになる。

【0114】

【表2】

$\Delta\beta_{H-L}$	ラッチ回路120の正相出力							
	Q1	Q2	Q3	Q4	Q5	Q6	Q7	Q8
1	H	L	L	L	L	H	H	H
2	H	H	L	L	L	L	H	H
3	H	H	H	L	L	L	L	H
4	H	H	H	H	L	L	L	L
5	L	H	H	H	H	L	L	L
6	L	L	H	H	H	H	L	L
7	L	L	L	H	H	H	H	L
8	L	L	L	L	H	H	H	H

【0115】また、データ信号DATAのLレベルからHレベルへの遷移時におけるクロック信号CLKとデータ信号DATAとの量子化位相誤差 $\Delta\beta_{L-H}$ と、ラッチ回路121の正相出力Q1～Q8との関係は、表3に示すようになる。

【0116】

【表3】

$\Delta\beta_{L-H}$	ラッチ回路121の正相出力							
	Q1	Q2	Q3	Q4	Q5	Q6	Q7	Q8
1	H	L	L	L	L	H	H	H
2	H	H	L	L	L	L	H	H
3	H	H	H	L	L	L	L	H
4	H	H	H	H	L	L	L	L
5	L	H	H	H	H	L	L	L
6	L	L	H	H	H	H	L	L
7	L	L	L	H	H	H	H	L
8	L	L	L	L	H	H	H	H

【0117】また、図5において、122はラッチ回路120、121の正相出力Q1～Q8をデコードして、クロック信号CLKの周波数がデータ信号DATAのビット転送周波数を超過していることを示す周波数超過信号S+又はクロック信号CLKの周波数がデータ信号DATAのビット転送周波数に対して不足していることを示す周波数不足信号S-を周波数誤差推定信号として出力する周波数過不足信号出力回路である。

【0118】この周波数過不足信号出力回路122は、

図12に示すように構成されており、図12中、124はラッチ回路120の正相出力Q1～Q8をデコードして、データ信号DATAのHレベルからLレベルへの遷移時におけるクロック信号CLKとデータ信号DATAとの量子化位相誤差 $\Delta\beta_{H-L}$ を示す量子化位相誤差信号X1～X8を出力するデコーダである。

【0119】また、125はラッチ回路121の正相出力Q1～Q8をデコードし、データ信号DATAのLレベルからHレベルへの遷移時におけるクロック信号CL

50

17

Kとデータ信号DATAとの量子化位相誤差 $\Delta\beta_{L-H}$ を示す量子化位相誤差信号Y1~Y8を出力するデコーダである。

【0120】また、126はデコーダ124、125から出力される量子化位相誤差信号X1~X8、Y1~Y8をデコードして、データ信号DATAの前回の遷移時におけるクロック信号CLKとデータ信号DATAとの量子化位相誤差 $\Delta\beta_{L-H}$ と、データ信号DATAの今回遷移時におけるクロック信号CLKとデータ信号DATAとの量子化位相誤差 $\Delta\beta_{L-H}$ との関係から、周波数超過信号S+及び周波数不足信号S-を出力するデコーダである。

10

18

* 【0121】これらデコーダ124~126のうち、デコーダ124、125は、図13に示すように構成されており、図13中、128~143はレジスタ入力端子を有するAND回路である。

【0122】ここに、ラッチ回路120の正相出力Q1~Q8と量子化位相誤差信号X1~X8との関係は表4に示すようになり、したがって、量子化位相誤差 $\Delta\beta_{L-H}$ と量子化位相誤差信号X1~X8との関係は、表5に示すようになる。

【0123】

【表4】

*

ラッチ回路120の正相出力								量子化位相誤差信号							
Q1	Q2	Q3	Q4	Q5	Q6	Q7	Q8	X1	X2	X3	X4	X5	X6	X7	X8
H	L	L	L	L	H	H	H	H	L	L	L	L	L	L	L
H	H	L	L	L	H	H	H	L	H	L	L	L	L	L	L
H	H	H	L	L	L	L	H	L	L	H	L	L	L	L	L
H	H	H	H	L	L	L	L	L	L	H	L	L	L	L	L
L	H	H	H	H	L	L	L	L	L	L	L	H	L	L	L
L	L	H	H	H	H	L	L	L	L	L	L	L	H	L	L
L	L	L	H	H	H	H	L	L	L	L	L	L	L	H	L
L	L	L	L	H	H	H	H	L	L	L	L	L	L	L	H

【0124】

【表5】

量子化位相誤差 $\Delta\beta_{H-L}$	量子化位相誤差信号							
	X1	X2	X3	X4	X5	X6	X7	X8
1	H	L	L	L	L	L	L	L
2	L	H	L	L	L	L	L	L
3	L	L	H	L	L	L	L	L
4	L	L	L	H	L	L	L	L
5	L	L	L	L	H	L	L	L
6	L	L	L	L	L	H	L	L
7	L	L	L	L	L	L	H	L
8	L	L	L	L	L	L	L	H

*

* 【0125】これに対して、ラッチ回路121の正相出力Q1~Q8と、量子化位相誤差信号Y1~Y8との関係は、表6に示すようになり、したがって、また、量子化位相誤差 $\Delta\beta_{L-H}$ と、量子化位相誤差信号Y1~Y8との関係は、表7に示すようになる。

【0126】

30 【表6】

ラッチ回路121の正相出力								量子化位相誤差信号							
Q1	Q2	Q3	Q4	Q5	Q6	Q7	Q8	Y1	Y2	Y3	Y4	Y5	Y6	Y7	Y8
H	L	L	L	L	H	H	H	H	L	L	L	L	L	L	L
H	H	L	L	L	L	H	H	L	H	L	L	L	L	L	L
H	H	H	L	L	L	L	H	L	L	H	L	L	L	L	L
H	H	H	H	L	L	L	L	L	L	H	L	L	L	L	L
L	H	H	H	H	L	L	L	L	L	L	L	H	L	L	L
L	L	H	H	H	H	L	L	L	L	L	L	L	H	L	L
L	L	L	H	H	H	H	L	L	L	L	L	L	L	H	L
L	L	L	L	H	H	H	H	L	L	L	L	L	L	L	H

【0127】

【表7】

$\Delta \beta_{L-H}$	量子化位相誤差信号							
	Y1	Y2	Y3	Y4	Y5	Y6	Y7	Y8
1	H	L	L	L	L	L	L	L
2	L	H	L	L	L	L	L	L
3	L	L	H	L	L	L	L	L
4	L	L	L	H	L	L	L	L
5	L	L	L	L	H	L	L	L
6	L	L	L	L	L	H	L	L
7	L	L	L	L	L	L	H	L
8	L	L	L	L	L	L	L	H

【0128】また、デコーダ126は、図14に示すように構成されており、図14中、145～160はOR*

*回路、161～176はAND回路、177、178はOR回路、179～182はAND回路、183、184はOR回路である。

【0129】ここに、表8は、データ信号DATAのHレベルからLレベルへの遷移時におけるクロック信号CLKとデータ信号DATAとの量子化位相誤差 $\Delta \beta_{n-1}$ を前回の量子化位相誤差 $\Delta \beta_{n-1}$ とし、データ信号DATAのLレベルからHレベルへの遷移時におけるクロック信号CLKとデータ信号DATAとの量子化位相誤差 $\Delta \beta_n$ を今回の量子化位相誤差 $\Delta \beta_n$ とする場合のデコーダ126の機能を示す機能表である。

【0130】

【表8】

$\Delta \beta_n$	DATA								OR回路 177の出力	OR回路 178の出力	周波数超過信号S+	周波数不足信号S-
	1	2	3	4	5	6	7	8				
$\Delta \beta_{n-1}$	1	2	3	4	5	6	7	8	L	L	L	L
	2	3	4	5	6	7	8	1	H	L	L	H
	3	4	5	6	7	8	1	2	H	L	L	H
	4	5	6	7	8	1	2	3	H	L	L	H
	5	6	7	8	1	2	3	4	L	L	L	L
	6	7	8	1	2	3	4	5	L	H	H	L
	7	8	1	2	3	4	5	6	L	H	H	L
	8	1	2	3	4	5	6	7	L	H	H	L

【0131】また、表9は、データ信号DATAのLレベルからHレベルへの遷移時におけるクロック信号CLKとデータ信号DATAとの量子化位相誤差 $\Delta \beta_{n-1}$ を前回の量子化位相誤差 $\Delta \beta_{n-1}$ とし、データ信号DATAのHレベルからLレベルへの遷移時におけるクロック*

30※信号CLKとデータ信号DATAとの量子化位相誤差 β_{n-1} を今回の量子化位相誤差 $\Delta \beta_n$ とする場合のデコーダ126の機能を示す機能表である。

【0132】

【表9】

$\Delta \beta_n$	DATA								OR回路 177の出力	OR回路 178の出力	周波数超過信号S+	周波数不足信号S-
	1	2	3	4	5	6	7	8				
$\Delta \beta_{n-1}$	1	2	3	4	5	6	7	8	L	L	L	L
	2	3	4	5	6	7	8	1	H	L	L	H
	3	4	5	6	7	8	1	2	H	L	L	H
	4	5	6	7	8	1	2	3	H	L	L	H
	5	6	7	8	1	2	3	4	L	L	L	L
	6	7	8	1	2	3	4	5	L	H	H	L
	7	8	1	2	3	4	5	6	L	H	H	L
	8	1	2	3	4	5	6	7	L	H	H	L

21

【0133】このように、周波数誤差推定回路64によれば、サイクルスリップを待たずに、クロック信号CLKの周波数とデータ信号DATAのビット転送周波数との誤差を推定することができるので、周波数誤差検出の高速化を図ることができる。

【0134】また、図5において、186はローパスフィルタ(LPF)であり、クロック信号CLKの周波数を上げるためのアップ信号UPf又はクロック信号CLKの周波数を下げるためのダウン信号DWNfを出力するものである。

【0135】このローパスフィルタ186は、図15に示すように構成されており、図15中、188は非反転出力端子及び反転出力端子を有する完全差動増幅器、189、190は抵抗、191、192はキャパシタである。

【0136】また、図5において、194はロック状態を検出するロック検出回路であり、図16は、このロック検出回路194の第1構成例に示す回路図である。

【0137】図16中、196は量子化位相誤差信号X1、X8、Y1、Y8をOR処理するOR回路、197は抵抗、198は定電流源、199は差動増幅回路、200はキャパシタ、201はインバータ、UNLOCKはアンロック状態を示すアンロック信号、LOCKはロック状態を示すロック信号である。

【0138】この第1構成例のロック検出回路194においては、量子化位相誤差信号X1、X8、Y1、Y8が同時にLレベルとなる場合が頻繁に起こる場合には、アンロック状態と判断される。

【0139】この場合、ノード202のレベル=Lレベル、差動増幅回路199の出力=Hレベル、アンロック信号UNLOCK=Hレベル、ロック信号LOCK=Lレベルとなる。

【0140】これに対して、量子化位相誤差信号X1、X8、Y1、Y8のいずれかが頻繁にHレベルとなる場合には、ロック状態と判断される。

【0141】この場合、ノード202のレベル=Hレベル、差動増幅回路199の出力=Lレベル、アンロック信号UNLOCK=Lレベル、ロック信号LOCK=Hレベルとなる。

【0142】また、図17は、ロック検出回路194の第2構成例を示す回路図であり、図17中、204、～204はOR回路、205、～205はAND回路、206はOR回路、207はインバータである。

【0143】この第2構成例のロック検出回路194では、量子化位相誤差信号Xi≠1、Yi及びYi+1≠1(但し、i=1、2、3、4)、量子化位相誤差信号Xk≠1、Yk及びYk+1≠1(但し、k=5、6、7、8)の場合には、アンロック状態と判断される。

【0144】この場合、AND回路205、～205の出力=Lレベル、OR回路206の出力=Lレベル、即

10

22

ち、アンロック信号UNLOCK=Hレベル、ロック信号LOCK=Lレベルとなる。

【0145】これに対して、量子化位相誤差信号X1=1、Y1又はY5=1の場合、又は、量子化位相誤差信号X2=1、Y2又はY6=1の場合、又は、・・・、量子化位相誤差信号X8=1、Y8又はY4=1の場合には、ロック状態と判断される。

【0146】この場合、AND回路205、～205のいずれか又は全部の出力=Hレベル、OR回路206の出力=Hレベル、即ち、アンロック信号UNLOCK=Lレベル、ロック信号LOCK=Hレベルとなる。

【0147】また、図18は、ロック検出回路194の第3構成例を示す回路図であり、図18中、209は周波数超過信号S+が入力される周波数超過信号入力端子、210は周波数不足信号S-が入力される周波数不足信号入力端子、211、212は抵抗、213はキャパシタ、214、215はインバータである。

【0148】この第3構成例のロック検出回路194においては、周波数超過信号S+又は周波数不足信号S-が頻繁にHレベルとなる場合には、アンロック状態と判断される。

【0149】この場合、キャパシタ213は充電され、インバータ214の入力=Hレベル、インバータ214の出力=Lレベル、即ち、アンロック信号UNLOCK=Hレベル、ロック信号LOCK=Lレベルとなる。

【0150】これに対して、周波数超過信号S+及び周波数不足信号S-が頻繁にLレベルとなる場合には、ロック状態と判断される。

【0151】この場合には、キャパシタ213は抵抗211、212を介して放電され、インバータ214の入力=Lレベル、インバータ214の出力=Hレベル、即ち、アンロック信号UNLOCK=Lレベル、ロック信号LOCK=Hレベルとされる。

【0152】また、図19は、ロック検出回路194の第4構成例を示す回路図であり、図19中、217は周波数超過信号S+が入力される周波数超過信号入力端子、218は周波数不足信号S-が入力される周波数不足信号入力端子、219、220はダイオード、221は抵抗、222はキャパシタ、223、224はインバータである。

【0153】この第4構成例のロック検出回路194においては、周波数超過信号S+又は周波数不足信号S-が頻繁にHレベルとなる場合には、アンロック状態と判断される。

【0154】この場合、キャパシタ222は充電され、インバータ223の入力=Hレベル、インバータ223の出力=Lレベル、即ち、アンロック信号UNLOCK=Hレベル、ロック信号LOCK=Lレベルとなる。

【0155】これに対して、周波数超過信号S+及び周波数不足信号S-が頻繁にLレベルとなる場合には、ロ

40

50

ック状態と判断される。

【0156】この場合には、キャバシタ222は抵抗221を介して放電され、インバータ223の入力=Lレベル、インバータ223の出力=Hレベル、即ち、アンロック信号UNLOCK=Lレベル、ロック信号LOCK=Hレベルとされる。

【0157】また、図5において、226はローパスフィルタ186から出力されるアップ信号UP fとロック検出回路194から出力されるアンロック信号UNLOCKとをNAND処理するNAND回路、ME1はNAND回路226の出力信号である。

【0158】また、227はローパスフィルタ186から出力されるダウン信号DWN fとロック検出回路194から出力されるアンロック信号UNLOCKとをNAND処理するNAND回路、ME2はNAND回路227の出力信号である。

【0159】また、図5において、228はマルチブライング・チャージポンプ(MCP)であり、このマルチブライング・チャージ・ポンプ228は、図20に示すように構成されている。

【0160】図20中、230は出力端、231は出力端230側へ電流を流し出すための電流流し出し回路、232は出力端230側から電流を流し込むための電流流し込み回路である。

【0161】また、電流流し出し回路231において、233はポンプ部、234はポンプ部233に駆動電圧VB1を供給する駆動電圧発生回路、/ME1はNAND回路226の出力信号ME1を反転してなる信号、235はキャバシタである。

【0162】また、ポンプ部233において、236～238はエンハンスマント形のMES FET、239、240はキャバシタである。

【0163】ここに、MES FET236は、ゲートをドレインに接続され、ドレインを駆動電圧発生回路234の出力端に接続され、ソース側からドレイン側に電流が流れることを防止する逆流防止素子として機能するようになっている。

【0164】また、MES FET237、238は、ポンプ動作を行うトランジスタであり、MES FET237は、ドレインをMES FET236のソースに接続され、MES FET238は、ドレインをMES FET237のソースに接続され、ソースを出力端230に接続されている。

【0165】また、キャバシタ239は、一端をMES FET237のゲート及びドレインに接続され、他端に位相検出器58から出力される反転アップ信号/UPが供給されるよう構成されている。

【0166】また、キャバシタ240は、一端をMES FET238のゲート及びドレインに接続され、他端に位相検出器58から出力されるアップ信号UPが供給

されるように構成されている。

【0167】ここに、駆動電圧発生回路234は、図21に示すように構成されており、図21中、242は信号ME1が入力される入力端子、243は信号/MEME1が入力される入力端子である。

【0168】また、244～250はデブレッシュン形のMES FET、251～254はエンハンスマント形のMES FET、255～258は抵抗、259はデブレッシュン形のMES FETからなるダイオードである。

【0169】ここに、MES FET247、248及び抵抗257からなる回路と、MES FET249、250及び抵抗258からなる回路とは同一の回路構成とされると共に、MES FET248のゲートには、マルチブライング・チャージポンプ228の出力端230の電圧CP-OUTが印加され、マルチブライング・チャージポンプ228の出力端228の電圧CP-OUTと、駆動電圧VB1とが同一電圧となるようにされている。

【0170】また、図20中、電流流し込み回路232において、261はポンプ部であり、262はポンプ部261に駆動電圧VB2を供給する駆動電圧発生回路、/ME2はNAND回路227の出力信号ME2を反転してなる信号である。

【0171】また、ポンプ部261において、263～265はエンハンスマント形のMES FET、266、267はキャバシタである。

【0172】ここに、MES FET263、264は、ポンプ動作を行うトランジスタであり、MES FET263は、ソースを駆動電圧発生回路262の出力端に接続され、MES FET264は、ソースをMES FET263のドレインに接続されている。

【0173】また、MES FET265は、ソースをMES FET264のドレインに接続され、ゲートをドレインに接続され、ドレインを出力端230に接続され、ソース側からドレイン側に電流が流れることを防止する逆流防止素子として機能するようになっている。

【0174】また、キャバシタ266は、一端をMES FET263のゲート及びドレインに接続され、他端に位相検出器58から出力されるダウン信号DWNが供給されるよう構成されている。

【0175】また、キャバシタ267は、一端をMES FET264のゲート及びドレインに接続され、他端に位相検出器58から出力される反転ダウン信号/DWNが供給されるよう構成されている。

【0176】また、駆動電圧発生回路262において、268～270はデブレッシュン形のMES FET、271はエンハンスマント形のMES FETであり、MES FET268のゲートには、マルチブライング・チャージポンプ228の出力端230の電圧CP-OU

Tが印加され、マルチブライング・チャージポンプ228の出力端230の電圧CP-OUTと、駆動電圧VB2とが同一電圧となるようにされている。

【0177】ここに、このマルチブライング・チャージポンプ228において、信号ME1=Hレベル、信号/ME1=Lレベル、信号/ME2=Lレベルの場合、即ち、アンロック信号UNLOCK=Hレベル（アンロック状態）で、アップ信号UPf=Lレベル、ダウン信号DWNf=Lレベルの場合、又は、アンロック信号UNLOCK=Lレベル（ロック状態）の場合、駆動電圧発生回路234においては、MESFET244=ON、MESFET245=OFF、MESFET254のゲート=Lレベル、MESFET254=OFFとなり、MESFET247~250及び抵抗257、258からなる回路は、駆動電圧VB1は、マルチブライング・チャージポンプ228の出力端230の電圧CP-OUTと同一の電圧となるように制御される。

【0178】また、駆動電圧発生回路262においては、MESFET271=OFFとなり、駆動電圧VB2は、電源電圧VDDの1/2とされる。

【0179】これに対して、信号ME1=Lレベル、信号/ME1=Hレベル、信号/ME2=Lレベルの場合、即ち、アンロック信号UNLOCK=Hレベル（アンロック状態）で、アップ信号UPf=Hレベル、ダウン信号DWNf=Lレベルの場合には、駆動電圧発生回路234においては、MESFET244=OFF、MESFET245=ON、MESFET254のゲート=Hレベル、MESFET254=ONとなり、MESFET250のソース電圧は上昇する。

【0180】この結果、この駆動電圧発生回路234から出力される駆動電圧VB1は、電源電圧VDDの1/2以上になり、マルチブライング・チャージポンプ228の出力端230の電圧CP-OUTも上昇する。

【0181】なお、駆動電圧発生回路262においては、MESFET271=OFFとされ、駆動電圧VB2は、マルチブライング・チャージポンプ228の出力端230の電圧CP-OUTと同一の電圧となるように制御される。

【0182】また、信号ME1=Hレベル、信号/ME1=Lレベル、信号/ME2=Hレベルの場合、即ち、アンロック信号UNLOCK=Hレベル（アンロック状態）で、アップ信号UPf=Lレベル、ダウン信号DWNf=Hレベルの場合には、駆動電圧発生回路262においては、MESFET271=ONとなり、この駆動電圧発生回路262から出力される駆動電圧VB2は、電源電圧VDDの1/2よりも低い電圧に下がり、この結果、マルチブライング・チャージポンプ228の出力端230の電圧CP-OUTは下降する。

【0183】なお、駆動電圧発生回路234においては、MESFET244=ON、MESFET245

=OFF、MESFET254のゲート=Lレベル、MESFET254=OFFとなり、MESFET247~250及び抵抗257、258からなる回路は、MESFET246、254からなる前段の回路と切り離され、駆動電圧VB1は、マルチブライング・チャージポンプ228の出力端230の電圧CP-OUTと同一の電圧となるように制御される。

【0184】ここに、図22はマルチブライング・チャージポンプ228の動作を説明するためのタイムチャートであり、図22Aはアンロック信号UNLOCK、図22Bはアップ信号UPf及びダウン信号DWNf、図22Cはアップ信号UP、図22Dはダウン信号DWN、図22Eは出力端230側に流れ出る電流i_{up}、図22Fは出力端230側から流れ込む電流i_{dwn}、図22Gはデータ信号DATAを示している。

【0185】ここに、アンロック信号UNLOCK=Hレベル（アンロック状態）、アップ信号UPf=Hレベル、ダウン信号DWNf=Lレベルの場合、即ち、クロック信号CLKの周波数がデータ信号DATAのビット転送周波数よりも低い場合には、駆動電圧発生回路234から出力される駆動電圧VB1は上昇し、出力端230の電圧CP-OUTは上昇する。

【0186】この状態で、アップ信号UPがHレベルになると、MESFET238がポンプ動作を行い、電流流し出し回路231側から出力端230に電流i_{up}が流れ出るが、この場合、出力端230の電圧CP-OUTは、信号ME1=Hレベル、信号ME2=Hレベルの場合における電圧値に、この電流i_{up}による電圧上昇分と、アップ信号UPf=Hレベルによる電圧上昇分とを加算した電圧値となる。

【0187】その後、アップ信号UPf=Lレベル、ダウン信号DWNf=Hレベルになると、即ち、クロック信号CLKの周波数がデータ信号DATAのビット転送周波数よりも低くなると、駆動電圧発生回路262から出力される駆動電圧VB2は下降し、出力端230の電圧CP-OUTは下降する。

【0188】この状態で、アップ信号UPがHレベルになると、MESFET238がポンプ動作を行い、電流流し出し回路231側から出力端230に電流i_{up}が流れ出るが、この場合、出力端230の電圧CP-OUTは、信号ME1=Hレベル、信号ME2=Hレベルの場合における電圧値に、電流i_{up}による電圧上昇分と、アップ信号UPf=Hレベルによる電圧上昇分とを加算した電圧値から、ダウン信号DWNf=Hレベルによる電圧下降分を減算した電圧値となる。

【0189】この状態で、ダウン信号DWNがHレベルになると、MESFET263がポンプ動作を行い、出力端230側から電流流し込み回路232側に電流i_{dwn}が流れ込むが、この場合、出力端230の電圧CP-OUTは、信号ME1=Hレベル、信号ME2=Hレ

ベルの場合における電圧値から、電流 i_{DN} による電圧下降分と、ダウン信号 $DWN f = H$ レベルによる電圧下降分とを減算した電圧値となる。

【0190】その後、アンロック信号 $UNLOCK = L$ レベル（ロック状態）となると、即ち、クロック信号 CLK の周波数がデータ信号 $DATA$ のビット転送周波数に一致ないし略一致の状態になると、駆動電圧発生回路 262 から出力される駆動電圧 $V_B 2$ は、信号 $ME 1 = H$ レベル、信号 $ME 2 = H$ レベルの場合における電圧値に戻る。

【0191】この状態で、ダウン信号 DWN が H レベルになると、 $MES FET 263$ がポンプ動作を行い、出力端 230 側から電流流し込み回路 232 側に電流 i_{DN} が流れ込むが、この場合、出力端 230 の電圧 $CP-OUT$ は、信号 $ME 1 = H$ レベル、信号 $ME 2 = H$ レベルの場合における電圧値から、電流 i_{DN} による電圧下降分を減算した電圧値となる。

【0192】ここに、このマルチブーリング・チャージポンプ 228 によれば、チャージポンプ駆動信号に必要なパルス幅は、キャバシタ 239、240、266、267 により決定されるので、チャージポンプ駆動信号のパルス幅をデータ信号 $DATA$ から生成したワンショットパルスにより決定することを不要とし、データ信号 $DATA$ の高速化に対応することができる。

【0193】また、このマルチブーリング・チャージポンプ 228 によれば、駆動電圧 $V_B 1$ 、 $V_B 2$ は、出力端 230 の電圧 $CP-OUT$ と同一電圧になるように制御されるので、出力インピーダンスを高めることができ、電源ノイズの影響の低減化を図ることができる。

【0194】このように構成された第1実施例のクロック再生回路においては、データ信号 $DATA$ が入力されると、位相検出器 58 においては、電圧制御発振器 57 から出力されるクロック信号 CLK とデータ信号 $DATA$ との位相誤差が検出され、位同期ループ 56 は、クロック信号 CLK の位相をデータ信号 $DATA$ の位相に同期させるように動作する。

【0195】この場合、位同期ループ制御回路 63 では、クロック信号 CLK とデータ信号 $DATA$ との位相誤差が、サイクルスリップを待たずに、データ信号 $DATA$ の遷移ごとに検出される。

【0196】そして、データ信号 $DATA$ の前回の遷移時におけるクロック信号 CLK とデータ信号との量子化位相誤差 $\Delta \beta_{n-1}$ と、データ信号 $DATA$ の今回の遷移時におけるクロック信号 CLK とデータ信号 $DATA$ との量子化位相誤差 $\Delta \beta_n$ との関係から、クロック信号 CLK の周波数とデータ信号 $DATA$ のビット転送周波数との誤差が推定され、クロック信号 CLK の周波数が、データ信号 $DATA$ のビット転送周波数に一致するようにマルチブーリング・チャージポンプ 228 が制御される。

【0197】ここに、クロック信号 CLK の周波数がデータ信号 $DATA$ のビット転送周波数よりも低い場合、即ち、クロック信号 CLK の周波数がデータ信号 $DATA$ のビット転送周波数に対して不足している場合には、周波数不足信号 $S- = H$ レベルにされる。

【0198】この結果、アップ信号 $UP f = H$ レベルにされ、マルチブーリング・チャージポンプ 228 の出力電圧 $CP-OUT$ が高められ、クロック信号 CLK の周波数が高められる。

【0199】これに対して、クロック信号 CLK の周波数がデータ信号 $DATA$ のビット転送周波数よりも高い場合、即ち、クロック信号 CLK の周波数がデータ信号 $DATA$ のビット転送周波数よりも超過している場合には、周波数不足信号 $S+ = H$ レベルにされる。

【0200】この結果、ダウン信号 $DWN f = H$ レベルにされ、マルチブーリング・チャージポンプ 228 の出力電圧 $CP-OUT$ が低められ、クロック信号 CLK の周波数が低められる。

【0201】そして、クロック信号 CLK の周波数がデータ信号 $DATA$ のビット転送周波数に一致又は近い周波数になると、ロック検出回路 194 から出力される $UNLOCK$ 信号 = L レベルとされ、位同期ループ 56 は、位同期ループ制御回路 63 に制御されず、位同期動作を継続させる。

【0202】このように、この第1実施例のクロック再生回路によれば、サイクルスリップを待たずに、クロック信号 CLK の周波数とデータ信号 $DATA$ のビット転送周波数との誤差が推定され、クロック信号 CLK の周波数がデータ信号 $DATA$ のビット転送周波数に一致するように動作するので、位相検出器 58 のゲインを高めることなく、即ち、タイミング・ジッタを増加させることなく、周波数の引き込みを高速化し、クロック信号再生の高速化を図ることができる。

【0203】本発明のクロック再生回路の第2実施例・図23～図28

図23は本発明のクロック再生回路の第2実施例の構成を示す回路図であり、本実施例は、図5に示す第1実施例のクロック再生回路が設ける位同期ループ 56 と回路構成の異なる位同期ループ 282 を設け、その他について、図5に示す第1実施例のクロック再生回路と同様に構成したものである。

【0204】この位同期ループ 282 において、283 は位相検出器 (PD)、284、285 はマルチブーリング・チャージポンプ (MCP)、286 はループフィルタ (LF)、287 は電圧制御発振器 (VCO) である。

【0205】ここに、位相検出器 283 は、図24に示すように構成されており、図24中、289 はポジティブ・エッジ型のラッチ回路であり、データ入力端子 D にクロック信号 CLK が入力され、同期入力端子 C にデー

タ信号DATAが入力されるように構成されている。

【0206】また、290はラッチ回路289の正相出力Qとデータ信号DATAとからダウン信号DWN1及び反転ダウン信号/DWN1を生成する反転出力端子を有するAND回路である。

【0207】また、291はラッチ回路289の逆相出力/Qとデータ信号DATAとからアップ信号UP1及び反転アップ信号/UP1を生成する反転出力端子を有するAND回路である。

【0208】ここに、データ信号DATAがHレベルになつた時点において、クロック信号CLKの位相がデータ信号DATAよりも進んでいる場合には、ラッチ回路289においては、正相出力Q=Hレベル、逆相出力/Q=Lレベルとなる。

【0209】この結果、データ信号DATA=Hレベルにある間は、ダウン信号DWN1=Hレベル、反転ダウン信号/DWN1=Lレベル、アップ信号UP1=Lレベル、反転アップ信号/UP1=Hレベルとなる。

【0210】そして、その後、データ信号DATA=Lレベルに反転すると、ダウン信号DWN1=Lレベル、反転ダウン信号/DWN1=Hレベルとなり、アップ信号UP1=Lレベル、反転アップ信号/UP1=Hレベルが維持される。

【0211】これに対して、データ信号DATAがHレベルになつた時点において、クロック信号CLKの位相がデータ信号DATAよりも遅れている場合には、ラッチ回路289においては、正相出力Q=Lレベル、逆相出力/Q=Hレベルとなる。

【0212】この結果、データ信号DATA=Hレベルにある間は、ダウン信号DWN1=Lレベル、反転ダウン信号/DWN1=Hレベル、アップ信号UP1=Hレベル、反転アップ信号/UP1=Lレベルとなる。

【0213】そして、その後、データ信号DATA=Lレベルに反転すると、ダウン信号DWN1=Lレベル、反転ダウン信号/DWN1=Hレベルが維持され、アップ信号UP1=Lレベル、反転アップ信号/UP1=Hレベルとなる。

【0214】また、292はポジティブ・エッジ型のラッチ回路であり、データ入力端子Dにクロック信号CLKが入力され、同期入力端子Cに反転データ信号/DATAが入力される。

【0215】また、293はラッチ回路292の正相出力Qと反転データ信号/DATAとからダウン信号DWN2及び反転ダウン信号/DWN2を生成する反転出力端子を有するAND回路である。

【0216】また、294はラッチ回路292の逆相出力/Qと反転データ信号/DATAとからアップ信号UP2及び反転アップ信号/UP2を生成する反転出力端子を有するAND回路である。

【0217】ここに、反転データ信号/DATAがHレ

ベルになった時点において、クロック信号CLKの位相がデータ信号DATAよりも進んでいる場合には、ラッチ回路292においては、正相出力Q=Hレベル、逆相出力/Q=Lレベルとなる。

【0218】この結果、反転データ信号/DATA=Hレベルにある間は、ダウン信号DWN2=Hレベル、反転ダウン信号/DWN2=Lレベル、アップ信号UP2=Lレベル、反転アップ信号/UP2=Hレベルとなる。

【0219】そして、その後、データ信号DATA=Lレベルに反転すると、ダウン信号DWN2=Lレベル、反転ダウン信号/DWN2=Hレベルとなり、アップ信号UP2=Lレベル、反転アップ信号/UP2=Hレベルが維持される。

【0220】これに対して、反転データ信号/DATAがHレベルになつた時点において、クロック信号CLKの位相がデータ信号DATAよりも遅れている場合には、ラッチ回路292においては、正相出力Q=Lレベル、逆相出力/Q=Hレベルとなる。

【0221】この結果、反転データ信号/DATA=Hレベルにある間は、ダウン信号DWN2=Lレベル、反転ダウン信号/DWN2=Hレベル、アップ信号UP2=Hレベル、反転アップ信号/UP2=Lレベルとなる。

【0222】そして、その後、反転データ信号/DATA=Lレベルに反転すると、ダウン信号DWN2=Lレベル、反転ダウン信号/DWN2=Hレベルが維持され、アップ信号UP2=Lレベル、反転アップ信号/UP2=Hレベルとなる。

【0223】即ち、ラッチ回路289及びAND回路290、291からなる回路と、ラッチ回路292及びAND回路293、294からなる回路とは、相補的な動作を行うことになる。

【0224】また、マルチブライニング・チャージポンプ284、285は、図25に示すように構成されており、マルチブライニング・チャージポンプ284において、296は出力端、297はポンプ部、298はポンプ部297に駆動電圧V3を供給する駆動電圧発生回路、299はキャバシタである。

【0225】また、ポンプ部297において、300～305はエンハンスマント形のMESFET、306～309はキャバシタである。

【0226】ここに、MESFET300は、ゲートをドレインに接続され、ドレインを駆動電圧発生回路298の出力端に接続され、ソース側からドレイン側に電流が流れることを防止する逆流防止素子として機能するよう正在されている。

【0227】また、MESFET301、302は、出力端296側に電流を流し出すためのポンプ動作を行うトランジスタであり、MESFET301は、ドレ

31

インをMES FET300のソースに接続され、MES FET302は、ドレインをMES FET301のソースに接続され、ソースを出力端296に接続されている。

【0228】また、キャバシタ306は、一端をMES FET301のゲート及びドレインに接続され、他端に位相検出器283から出力される反転アップ信号／UP1が供給されるように構成されている。

【0229】また、キャバシタ307は、一端をMES FET302のゲート及びドレインに接続され、他端に位相検出器283から出力されるアップ信号UP1が供給されるように構成されている。

【0230】また、MES FET303、304は、出力端296側から電流を流し込むためのポンプ動作を行うトランジスタであり、MES FET303は、ソースを駆動電圧発生回路298の出力端に接続され、MES FET304は、ソースをMES FET303のドレインに接続されている。

【0231】また、MES FET305は、ソースをMES FET304のドレインに接続され、ゲートをドレインに接続され、ドレインを出力端296に接続され、ソース側からドレイン側に電流が流れることを防止する逆流防止素子として機能するようにされている。

【0232】また、キャバシタ308は、一端をMES FET303のゲート及びドレインに接続され、他端に位相検出器283から出力されるダウン信号／DWN1が供給されるように構成されている。

【0233】また、キャバシタ309は、一端をMES FET304のゲート及びドレインに接続され、他端に位相検出器283から出力される反転ダウン信号／DWN1が供給されるように構成されている。

【0234】また、マルチブーリング・チャージポンプ285において、310は出力端、311はポンプ部、312はポンプ部311に駆動電圧VB4を供給する駆動電圧発生回路、313はキャバシタである。

【0235】また、ポンプ部311において、314～319はエンハンスマント形のMES FET、320～323はキャバシタである。

【0236】ここに、MES FET314は、ゲートをドレインに接続され、ドレインを駆動電圧発生回路312の出力端に接続され、ソース側からドレイン側に電流が流れることを防止する逆流防止素子として機能するようにされている。

【0237】また、MES FET315、316は、出力端310側に電流を流し出すためのポンプ動作を行うトランジスタであり、MES FET315は、ドレインをMES FET314のソースに接続され、MES FET316は、ドレインをMES FET315のソースに接続され、ソースを出力端310に接続されている。

32

【0238】また、キャバシタ320は、一端をMES FET315のゲート及びドレインに接続され、他端に位相検出器283から出力される反転ダウン信号／DWN2が供給されるように構成されている。

【0239】また、キャバシタ321は、一端をMES FET316のゲート及びドレインに接続され、他端に位相検出器283から出力されるダウン信号DWN2が供給されるように構成されている。

【0240】また、MES FET317、318は、出力端310側から電流を流し込むためのポンプ動作を行うトランジスタであり、MES FET317は、ソースを駆動電圧発生回路312の出力端に接続され、MES FET318は、ソースをMES FET317のドレインに接続されている。

【0241】また、MES FET319は、ソースをMES FET318のドレインに接続され、ゲートをドレインに接続され、ドレインを出力端310に接続され、ソース側からドレイン側に電流が流れることを防止する逆流防止素子として機能するようにされている。

【0242】また、キャバシタ322は、一端をMES FET317のゲート及びドレインに接続され、他端に位相検出器283から出力されるアップ信号UP2が供給されるように構成されている。

【0243】また、キャバシタ323は、一端をMES FET318をゲート及びドレインに接続され、他端に位相検出器283から出力される反転アップ信号／UP2が供給されるように構成されている。

【0244】ここに、駆動電圧発生回路298は、図26に示すように構成されており、図26中、325～331はデブレッシュン形のMES FET、332～335はエンハンスマント形のMES FET、336～339は抵抗、340はデブレッシュン形のMES FETからなるダイオードである。

【0245】また、駆動電圧発生回路312は、図27に示すように構成されており、図27中、342～348はデブレッシュン形のMES FET、349～352はエンハンスマント形のMES FET、353～356は抵抗、357はデブレッシュン形のMES FETからなるダイオードである。

【0246】これら駆動電圧発生回路298、312は、図21に示す駆動電圧発生回路234と同一の回路構成とされており、駆動電圧発生回路298においては、MES FET325、326にそれぞれ信号ME1、/ME1が入力され、MES FET329にマルチブーリング・チャージポンプ284の出力端296の電圧CP-OUTが印加されるように構成されている。

【0247】また、駆動電圧発生回路312においては、MES FET342、343にそれぞれ信号ME2、/ME2が入力され、MES FET346にマルチブーリング・チャージポンプ285の出力端296の

50

電圧／CP-OUTが印加されるように構成されている。

【0248】ここに、駆動電圧発生回路298においては、信号ME1=Hレベル、信号／ME1=Lレベルの場合、即ち、アンロック信号UNLOCK=Hレベル（アンロック状態）で、アップ信号UPf=Lレベルの場合、又は、アンロック信号UNLOCK=Lレベル（ロック状態）の場合には、MESFET325=ON、MESFET326=OFF、MESFET335のゲート=Lレベル、MESFET335=OFFとなり、MESFET328~331及び抵抗338、339からなる回路は、MESFET327、335からなる前段の回路と切り離され、駆動電圧VB3は、電源電圧VDDの1/2とされる。

【0249】これに対して、信号ME1=Lレベル、信号／ME1=Hレベルの場合、即ち、アンロック信号UNLOCK=Hレベル（アンロック状態）で、アップ信号UPf=Hレベルの場合には、MESFET325=OFF、MESFET326=ON、MESFET335のゲート=Hレベル、MESFET335=ONとなり、MESFET331のソース電圧は上昇し、駆動電圧VB3は電源電圧VDDの1/2よりも上昇する。

【0250】また、駆動電圧発生回路312においては、信号ME2=Hレベル、信号／ME2=Lレベルの場合、即ち、アンロック信号UNLOCK=Hレベル（アンロック状態）で、ダウン信号DWNf=Lレベルの場合、又は、アンロック信号UNLOCK=Lレベル（ロック状態）の場合には、MESFET342=ON、MESFET343=OFF、MESFET352のゲート=Lレベル、MESFET352=OFFとなり、MESFET345~348及び抵抗355、356からなる回路は、MESFET344、352からなる前段の回路と切り離され、駆動電圧VB4は、電源電圧VDDの1/2とされる。

【0251】これに対して、信号ME2=Lレベル、信号／ME2=Hレベルの場合、即ち、アンロック信号UNLOCK=Hレベル（アンロック状態）で、ダウン信号DWNf=Hレベルの場合には、MESFET342=OFF、MESFET343=ON、MESFET352のゲート=Hレベル、MESFET352=ONとなり、MESFET348のソース電圧は上昇し、駆動電圧VB4は電源電圧VDDの1/2よりも上昇する。

【0252】ここに、図28は、マルチブライング・チャージポンプ284、285の動作を説明するためのタイミングチャートであり、図28Aはデータ信号DATA、図28Bはクロック信号CLK、図28Cはアップ信号UP1、図28Dはアップ信号UP2、図28Eはダウン信号DWN1、図28Fはダウン信号DWN2、図2

8Gはマルチブライング・チャージポンプ284の出力電流i_{1..}、図28Hはマルチブライング・チャージポンプ285の出力電流i_{2..}を示している。

【0253】即ち、データ信号DATAがLレベルからHレベルに反転した場合において、クロック信号CLKの位相がデータ信号DATAよりも進んでいる場合には、ダウン信号DWN1=Hレベル、反転ダウン信号／DWN1=Lレベルとされ、MESFET303がポンプ動作を行い、出力端296側からマルチブライング・チャージポンプ284に電流が流れ込み、出力端296の電圧CP-OUTは下降する。

【0254】また、データ信号DATAがHレベルからLレベルに反転した場合（反転データ信号／DATAがLレベルからHレベルに反転した場合）において、クロック信号CLKの位相がデータ信号DATAよりも遅れている場合には、アップ信号UP2=Hレベル、反転アップ信号／UP2=Lレベルとされ、MESFET317がポンプ動作を行い、出力端310側からマルチブライング・チャージポンプ285に電流が流れ込み、出力端310の電圧CP-OUTは下降する。

【0255】また、データ信号DATAがLレベルからHレベルに反転した場合において、クロック信号CLKの位相がデータ信号DATAよりも遅れている場合には、アップ信号UP1=Hレベル、反転アップ信号／UP1=Lレベルとされ、MESFET302がポンプ動作を行い、マルチブライング・チャージポンプ284から出力端296に電流が流れ出し、出力端296の電圧CP-OUTは上昇する。

【0256】また、データ信号DATAがHレベルからLレベルに反転した場合（反転データ信号／DATAがLレベルからHレベルに反転した場合）において、クロック信号CLKの位相がデータ信号DATAよりも進んでいる場合には、ダウン信号DWN2=Hレベル、反転ダウン信号／DWN2=Lレベルとされ、MESFET316がポンプ動作を行い、マルチブライング・チャージポンプ285から出力端310に電流が流れ出し、出力端310の電圧CP-OUTは上昇する。

【0257】また、ループフィルタ286は、図29に示すように構成されており、図29中、359は完全差動増幅器、360、361は抵抗、362、363はキャパシタ、VC、／VCは電圧制御発振器287に供給すべき反転関係にある制御電圧である。

【0258】電圧制御発振器287は、このループフィルタ286から出力される制御電圧VC、／VCに応じた周波数のクロック信号CLKを出力するように構成されている。

【0259】ここに、マルチブライング・チャージポンプ284の出力端296の電圧CP-OUTが上昇し、又は、マルチブライング・チャージポンプ285の出力端310の電圧CP-OUTが下降する場合には、制

御電圧VCが上昇し、制御電圧／VCが下降する。

【0260】これに対して、マルチブーリング・チャージポンプ284の出力端296の電圧CP-OUTが下降し、又は、マルチブーリング・チャージポンプ285の出力端310の電圧／CP-OUTが上昇する場合には、制御電圧VCが下降し、制御電圧／VCが上昇する。

【0261】このように構成された第2実施例のクロック再生回路においては、データ信号DATAが入力されると、位相検出器283においては、電圧制御発振器287から出力されるクロック信号CLKとデータ信号DATAとの位相誤差が検出され、位相同期ループ282は、クロック信号CLKの位相をデータ信号DATAの位相に同期させるように動作する。

【0262】この場合、位相同期ループ制御回路63では、クロック信号CLKとデータ信号DATAとの位相誤差が、サイクルステップを待たずに、データ信号DATAの遷移ごとに検出される。

【0263】そして、データ信号DATAの前回の遷移時におけるクロック信号CLKとデータ信号との量子化位相誤差 $\Delta\beta_{n-1}$ と、データ信号DATAの今回の遷移時におけるクロック信号CLKとデータ信号DATAとの量子化位相誤差 $\Delta\beta_n$ との関係から、クロック信号CLKの周波数とデータ信号DATAのビット転送周波数との誤差が推定され、クロック信号CLKの周波数が、データ信号DATAのビット転送周波数に一致するようにマルチブーリング・チャージポンプ284、285が制御される。

【0264】ここに、クロック信号CLKの周波数がデータ信号DATAのビット転送周波数よりも低い場合、即ち、クロック信号CLKの周波数がデータ信号DATAのビット転送周波数に対して不足している場合には、周波数不足信号S-=Hレベルにされる。

【0265】この結果、アップ信号UP f=Hレベルにされ、マルチブーリング・チャージポンプ284の出力電圧CP-OUTが高められ、制御電圧VCが高められ、制御電圧／VCが低められ、クロック信号CLKの周波数が高められる。

【0266】これに対して、クロック信号CLKの周波数がデータ信号DATAのビット転送周波数よりも高い場合、即ち、クロック信号CLKの周波数がデータ信号DATAのビット転送周波数よりも超過している場合には、周波数不足信号S+=Hレベルにされる。

【0267】この結果、ダウン信号DW f=Hレベルにされ、マルチブーリング・チャージポンプ285の出力電圧／CP-OUTが高められ、制御電圧VCが低められ、制御電圧／VCが高められ、クロック信号CLKの周波数が低められる。

【0268】そして、クロック信号CLKの周波数がデータ信号DATAのビット転送周波数に一致又は近い周

波数になると、ロック検出回路194から出力されるUNLOCK信号=Lレベルとされ、位相同期ループ282は、位相同期ループ制御回路63に制御されず、位相同期動作を継続させる。

【0269】このように、この第2実施例のクロック再生回路によれば、サイクルスリップを待たずに、クロック信号CLKの周波数とデータ信号DATAのビット転送周波数との誤差が推定され、クロック信号CLKの周波数がデータ信号DATAのビット転送周波数に一致するように動作するので、位相検出器283のゲインを高める必要がなく、即ち、タイミング・ジッタを増加させることなく、周波数の引き込みを高速化し、クロック信号再生の高速化を図ることができる。

【0270】本発明のクロック再生回路の第3実施例：図30、図31

図30は本発明のクロック再生回路の第3実施例の構成を示す回路図であり、図30中、365は位相同期ループ、366は位相同期ループ制御回路である。

【0271】ここに、位相同期ループ365は、図5に示す電圧制御発振器57と回路構成の異なる電圧制御発振器367を設け、その他については、図5に示す位相同期ループ56と同様に構成したものである。

【0272】この電圧制御発振器367は図31に示すように構成されており、図31中、369～372はリングオシレータを構成する遅延セルであり、遅延セル369からクロック信号 $\phi 1$ 、 $\phi 5$ が出力され、遅延セル370からクロック信号 $\phi 2$ 、 $\phi 6$ が出力され、遅延セル371からクロック信号 $\phi 3$ 、 $\phi 7$ が出力され、遅延セル372からクロック信号 $\phi 4$ 、 $\phi 8$ が出力されるよう構成されている。

【0273】また、373はクロック信号 $\phi 5$ を反転して、クロック信号 $\phi 1$ と同期させるべきクロック信号 $\phi 9$ を出力するインバータ、374はクロック信号 $\phi 1$ 、 $\phi 9$ が入力される位相検出器(PD)、375はチャージポンプ(CP)、376はループフィルタ(LF)であり、このループフィルタ376の出力電圧により遅延セル369～372の遅延時間が制御される。

【0274】また、位相同期ループ制御回路366は、図5に示す周波数誤差推定回路64と回路構成の異なる周波数誤差推定回路378を設け、その他については、図5に示す位相同期ループ制御回路63と同様に構成したものである。

【0275】この周波数誤差推定回路378は、図5にしめす遅延同期ループ65を設けず、電圧制御発振器367から出力されるクロック信号 $\phi 1$ ～ $\phi 8$ を使用するようにしたものであり、図5に示す遅延同期ループ65を設けない点を除き、図5に示す周波数誤差推定回路64と同様に構成したものである。

【0276】このように構成された第3実施例のクロック再生回路においては、データ信号DATAが入力され

ると、位相検出器58においては、電圧制御発振器367から出力されるクロック信号CLKとデータ信号DATAとの位相誤差が検出され、位相同期ループ365は、クロック信号CLKの位相をデータ信号DATAの位相に同期させるように動作する。

【0277】この場合、位相同期ループ制御回路366では、クロック信号CLKとデータ信号DATAとの位相誤差が、サイクルステップを待たずに、データ信号DATAの遷移ごとに検出される。

【0278】そして、データ信号DATAの前回の遷移時におけるクロック信号CLKとデータ信号との量子化位相誤差 $\Delta\beta_{n-1}$ と、データ信号DATAの今回の遷移時におけるクロック信号CLKとデータ信号DATAとの量子化位相誤差 $\Delta\beta_n$ との関係から、クロック信号CLKの周波数とデータ信号DATAのビット転送周波数との誤差が推定され、クロック信号CLKの周波数が、データ信号DATAのビット転送周波数に一致するように位相同期ループ365が制御される。

【0279】ここに、クロック信号CLKの周波数がデータ信号DATAのビット転送周波数よりも低い場合、即ち、クロック信号CLKの周波数がデータ信号DATAのビット転送周波数に対して不足している場合には、周波数不足信号S-=Hレベルにされる。

【0280】この結果、アップ信号UP f=Hレベルにされ、マルチブーリング・チャージポンプ228の出力電圧CP-OUTが高められ、クロック信号CLKの周波数が高められる。

【0281】これに対して、クロック信号CLKの周波数がデータ信号DATAのビット転送周波数よりも高い場合、即ち、クロック信号CLKの周波数がデータ信号DATAのビット転送周波数よりも超過している場合には、周波数不足信号S+=Hレベルにされる。

【0282】この結果、ダウン信号DW f=Hレベルにされ、マルチブーリング・チャージポンプ228の出力電圧CP-OUTが低められ、クロック信号CLKの周波数が低められる。

【0283】そして、クロック信号CLKの周波数がデータ信号DATAのビット転送周波数に一致又は近い周波数になると、ロック検出回路194から出力されるUNLOCK信号=Lレベルとされ、位相同期ループ365は、位相同期ループ制御回路366に制御されず、位相同期動作を継続させる。

【0284】このように、この第3実施例のクロック再生回路によれば、サイクルスリップを待たずに、クロック信号CLKの周波数とデータ信号DATAのビット転送周波数との誤差が推定され、クロック信号CLKの周波数がデータ信号DATAのビット転送周波数に一致するように動作するので、位相検出器374のゲインを高める必要がなく、即ち、タイミング・ジッタを増加させることなく、周波数の引き込みを高速化し、クロック信

号再生の高速化を図ることができる。

【0285】本発明のクロック再生回路の第4実施例・図32、図33

図32は本発明のクロック再生回路の第4実施例の構成を示す回路図であり、図32中、380は位相同期ループ、381は位相同期ループ380を制御する位相同期ループ制御回路である。

【0286】ここに、位相同期ループ380は、図5に示すマルチブーリング・チャージポンプ228と回路構成の異なるマルチブーリング・チャージポンプ382を設け、その他については、図5に示す位相同期ループ56と同様に構成したものである。

【0287】また、位相同期ループ制御回路381は、図5に示すロック検出回路194、NAND回路226、227及びローパスフィルタ186を設けず、この代わりに、図5に示すローパスフィルタ186と回路構成の異なるローパスフィルタ(LPF)383、384を設け、その他については、図5に示す位相同期ループ制御回路63と同様に構成したものである。

【0288】ここに、ローパスフィルタ383、384及びマルチブーリング・チャージポンプ382は、図33に示すように構成されている。

【0289】ローパスフィルタ383、384において、386、387は完全差動増幅器、388、389は抵抗、390、391はキャバシタである。

【0290】また、マルチブーリング・チャージポンプ382において、392は出力端、393、394は掛算器(例えば、ギルバート・セル)、395はポンプ部であり、396、397はポンプ部395に駆動電圧VB5、VB6を供給する駆動電圧発生回路である。

【0291】また、ポンプ部395において、398～403はエンハンスマント形のMES FET、404～407はキャバシタである。

【0292】ここに、MES FET398は、ゲートをドレインに接続され、ドレインを駆動電圧発生回路396の出力端に接続され、ソース側からドレイン側に電流が流れることを防止する逆流防止素子として機能するようになっている。

【0293】また、MES FET399、400は、出力端392側に電流を流し出すためのポンプ動作を行うトランジスタであり、MES FET399は、ドレインをMES FET398のソースに接続され、MES FET400は、ドレインをMES FET399のソースに接続され、ソースを出力端392に接続されている。

【0294】また、キャバシタ404は、一端をMES FET399のゲート及びドレインに接続され、他端に掛算器394から出力される反転アップ信号/UPBが供給されるように構成されている。

【0295】また、キャバシタ405は、一端をMES

FET400のゲート及びドレインに接続され、他端に掛算器394から出力されるアップ信号UPBが供給されるように構成されている。

【0296】また、MESFET401、402は、出力端392側から電流を流し込むためのポンプ動作を行うトランジスタであり、MESFET401は、ソースを駆動電圧発生回路397の出力端に接続され、MESFET402は、ソースをMESFET401のドレインに接続されている。

【0297】また、MESFET403は、ソースをMESFET402のドレインに接続され、ゲートをドレインに接続され、ドレインを出力端392に接続され、ソース側からドレイン側に電流が流れることを防止する逆流防止素子として機能するようになっている。

【0298】また、キャバシタ406は、一端をMESFET401のゲート及びドレインに接続され、他端に掛算器393から出力されるダウン信号DWNBが供給されるように構成されている。

【0299】また、キャバシタ407は、一端をMESFET402のゲート及びドレインに接続され、他端に掛算器393から出力される反転ダウン信号/DWNBが供給されるように構成されている。

【0300】また、駆動電圧発生回路396、397において、408～411はデブレッシュン形のMESFETであり、これら駆動電圧発生回路396、397は、駆動電圧VB5、VB6が出力端392の電圧CPOUTと同一電圧となるように動作するものである。

【0301】ここに、周波数超過信号S+=Lレベル、周波数不足信号S-=Lレベルの場合には、ダウン信号DWNf=Hレベル、反転ダウン信号/DWNf=Lレベル、アップ信号UP=Hレベル、反転アップ信号/UP=Lレベルとなり、掛算器393は、ダウン信号DWNf及び反転ダウン信号/DWNfに対して非活性状態、掛算器394は、アップ信号UP及び反転アップ信号/UP=Hレベルに対して非活性状態となる。

【0302】この場合において、ダウン信号DWN=Hレベル、反転ダウン信号/DWN=Lレベルになると、掛算器393から出力されるダウン信号DWNB=Hレベルになり、MESFET402がポンプ動作を行い、出力端392側からMESFET403側に電流が流れ込む。

【0303】また、ダウン信号DWN及び反転ダウン信号/DWNが交互にHレベルになると、ダウン信号DWNB及び反転ダウン信号/DWNBが交互にHレベルになり、MESFET401、402が交互にポンプ動作を行い、出力端392側からMESFET403側に電流が流れ込む。

【0304】また、アップ信号UP=Hレベル、反転アップ信号/UP=Lレベルになると、掛算器394から出力されるアップ信号UPBがHレベルになり、MES

FET400がポンプ動作を行い、MESFET400側から出力端392側に電流が流れ出す。

【0305】また、アップ信号UP及び反転アップ信号/UPが交互にHレベルになると、アップ信号UPB及び反転アップ信号/UPBが交互にHレベルになり、MESFET400、399が交互にポンプ動作を行い、MESFET400側から出力端392側に電流が流れ出す。

【0306】また、周波数超過信号S+=Hレベル、周波数不足信号S-=Lレベルの場合、ダウン信号DWNf=Lレベル、反転ダウン信号/DWNf=Hレベル、アップ信号UP=Hレベル、反転アップ信号/UP=Lレベルとなり、掛算器393は、ダウン信号DWNf及び反転ダウン信号/DWNfに対して活性状態、掛算器394は、アップ信号UP及び反転アップ信号/UPに対して非活性状態となる。

【0307】この場合、ダウン信号DWN=Hレベルになると、ダウン信号DWNfとダウン信号DWN、及び、反転ダウン信号/DWNfと反転ダウン信号/DWNが掛け算され、出力端392からMESFET403側により多くの電流が流れ込む。

【0308】また、周波数超過信号S+=Lレベル、周波数不足信号S-=Hレベルの場合には、ダウン信号DWNf=Hレベル、反転ダウン信号/DWNf=Lレベル、アップ信号UP=Lレベル、反転アップ信号/UP=Lレベルとなり、掛算器393はダウン信号DWNf及び反転ダウン信号/DWNfに対して非活性状態、掛算器394はアップ信号UP及び反転アップ信号/UPに対して活性状態となる。

【0309】この場合、アップ信号UP=Hレベルになると、アップ信号UPfとアップ信号UP、及び、反転アップ信号/UPfと反転アップ信号/UPが掛け算され、MESFET400側から出力端392により多くの電流が流れ出る。

【0310】このように構成された第4実施例のクロック再生回路においては、データ信号DATAが入力されると、位相検出器58においては、電圧制御発振器57から出力されるクロック信号CLKとデータ信号DATAとの位相誤差が検出され、位同期ループ380は、クロック信号CLKの位相をデータ信号DATAの位相に同期させるように動作する。

【0311】この場合、位同期ループ制御回路381では、クロック信号CLKとデータ信号DATAとの位相誤差が、サイクルステップを待たずに、データ信号DATAの遷移ごとに検出される。

【0312】そして、データ信号DATAの前回の遷移時におけるクロック信号CLKとデータ信号との量子化位相誤差 $\Delta\beta_{n-1}$ と、データ信号DATAの今回の遷移時におけるクロック信号CLKとデータ信号DATAとの量子化位相誤差 $\Delta\beta_n$ との関係から、クロック信号C

LKの周波数とデータ信号DATAのビット転送周波数との誤差が推定され、クロック信号CLKの周波数が、データ信号DATAのビット転送周波数に一致するよう位相同期ループ380が制御される。

【0313】ここに、クロック信号CLKの周波数がデータ信号DATAのビット転送周波数よりも低い場合、即ち、クロック信号CLKの周波数がデータ信号DATAのビット転送周波数に対して不足している場合には、周波数不足信号S-=Hレベルにされる。

【0314】この結果、アップ信号UPf=Hレベル、反転アップ信号/UPf=Lレベルにされ、マルチブーリング・チャージポンプ382の出力電圧CP-OUTが高められ、クロック信号CLKの周波数が高められる。

【0315】これに対して、クロック信号CLKの周波数がデータ信号DATAのビット転送周波数よりも高い場合、即ち、クロック信号CLKの周波数がデータ信号DATAのビット転送周波数よりも超過している場合には、周波数不足信号S+=Hレベルにされる。

【0316】この結果、ダウン信号DWNf=Hレベル、反転ダウン信号/DWNf=Lレベルにされ、マルチブーリング・チャージポンプ382の出力電圧CP-OUTが低められ、クロック信号CLKの周波数が低められる。

【0317】このように、この第4実施例のクロック再生回路によれば、サイクルスリップを待たずに、クロック信号CLKの周波数とデータ信号DATAのビット転送周波数との誤差が推定され、クロック信号CLKの周波数がデータ信号DATAのビット転送周波数に一致するように動作するので、位相検出器58のゲインを高める必要がなく、即ち、タイミング・シッタを増加させることなく、周波数の引き込みを高速化し、クロック信号再生の高速化を図ることができる。

【0318】

【発明の効果】

本発明のクロック再生回路・図1

本発明のクロック再生回路によれば、サイクルスリップを待たずに、クロック信号CLKの周波数とデータ信号DATAのビット転送周波数との誤差を推定し、クロック信号CLKの周波数がデータ信号DATAのビット転送周波数に一致するように動作するので、周波数の引き込みを高速化し、クロック再生の高速化を図ることができる。

【0319】本発明の周波数誤差推定回路・図2

本発明の周波数誤差推定回路によれば、サイクルスリップを待たずに、クロック信号CLKの周波数と、データ信号DATAのビット転送周波数との誤差を推定することができるので、周波数誤差検出の高速化を図ることができ、これを、例えば、クロック再生回路に使用する場合には、周波数の引き込みを高速化し、クロック再生の

高速化を図ることができる。

【0320】本発明の位相検出器・図3

本発明の位相検出器によれば、電圧制御発振器の出力信号を入力信号でラッチしてなる信号と入力信号INとを論理積処理することにより、チャージポンプ駆動信号を得ることができるように構成し、ワンショットパルス発生回路を必要としていないので、入力信号の高速化に対応することができる。

【0321】本発明のチャージポンプ・図4

本発明のチャージポンプによれば、チャージポンプ駆動信号に必要なパルス幅をキャッシュによって決定するように構成されているので、チャージポンプ駆動信号のパルス幅を入力信号から生成したワンショットパルスにより決定することを不要とし、入力信号の高速化に対応することができる。

【0322】また、本発明のチャージポンプによれば、駆動電圧をチャージポンプの出力端の電圧と同一電圧になるように制御する場合には、出力インピーダンスを高めることができ、電源ノイズの影響の低減化を図ることができる。

【0323】また、本発明のチャージポンプを2個使用する場合には、相補的に駆動する回路構成が可能となり、電圧制御発振器の出力信号が電源ノイズの影響を受けないようにすることができる。

【図面の簡単な説明】

【図1】本発明のクロック再生回路の原理説明図である。

【図2】本発明の周波数誤差推定回路の原理説明図である。

【図3】本発明の位相検出器の原理説明図である。

【図4】本発明のチャージポンプの原理説明図である。

【図5】本発明のクロック再生回路の第1実施例の構成を示す回路図である。

【図6】本発明のクロック再生回路の第1実施例が設ける位相同期ループを構成する位相検出器の構成を示す回路図である。

【図7】本発明のクロック再生回路の第1実施例が設ける位相同期ループ制御回路を構成する周波数誤差推定回路が設ける遅延同期ループの動作を説明するためのタイムチャートである。

【図8】本発明のクロック再生回路の第1実施例が設ける位相同期ループ制御回路を構成する周波数誤差推定回路が設ける遅延同期ループの第1構成例を示す回路図である。

【図9】本発明のクロック再生回路の第1実施例が設ける位相同期ループ制御回路を構成する周波数誤差推定回路が設ける遅延同期ループを構成する遅延セルに使用することができる遅延セルの一例の構成を示す回路図である。

【図10】本発明のクロック再生回路の第1実施例が設

ける位相同期ループ制御回路を構成する周波数誤差推定回路が設ける遅延同期ループの第2構成例を示す回路図である。

【図11】本発明のクロック再生回路の第1実施例が設ける位相同期ループ制御回路を構成する周波数誤差推定回路が設けるラッチ回路を示す回路図である。

【図12】本発明のクロック再生回路の第1実施例が設ける位相同期ループ制御回路を構成する周波数誤差推定回路が設ける周波数過不足信号出力回路の構成を示す回路図である。

【図13】本発明のクロック再生回路の第1実施例が設ける位相同期ループ制御回路を構成する周波数誤差推定回路が設ける周波数過不足信号出力回路のデコーダのうち、位相誤差信号を出力するデコーダの構成を示す回路図である。

【図14】本発明のクロック再生回路の第1実施例が設ける位相同期ループ制御回路を構成する周波数誤差推定回路が設ける周波数過不足信号出力回路のデコーダのうち、周波数過不足信号を出力するデコーダの構成を示す回路図である。

【図15】本発明のクロック再生回路の第1実施例が設ける位相同期ループ制御回路を構成するローパスフィルタの構成を示す回路図である。

【図16】本発明のクロック再生回路の第1実施例が設ける位相同期ループ制御回路を構成するロック検出回路の第1構成例を示す回路図である。

【図17】本発明のクロック再生回路の第1実施例が設ける位相同期ループ制御回路を構成するロック検出回路の第2構成例を示す回路図である。

【図18】本発明のクロック再生回路の第1実施例が設ける位相同期ループ制御回路を構成するロック検出回路の第3構成例を示す回路図である。

【図19】本発明のクロック再生回路の第1実施例が設ける位相同期ループ制御回路を構成するロック検出回路の第4構成例を示す回路図である。

【図20】本発明のクロック再生回路の第1実施例が設ける位相同期ループを構成するマルチブライング・チャージポンプの構成を示す回路図である。

【図21】本発明のクロック再生回路の第1実施例が設ける位相同期ループを構成するマルチブライング・チャージポンプが設ける駆動電圧発生回路の構成を示す回路図である。

【図22】本発明のクロック再生回路の第1実施例が設ける位相同期ループを構成するマルチブライング・チャージポンプの動作を説明するためのタイムチャートであ

る。

【図23】本発明のクロック再生回路の第2実施例の構成を示す回路図である。

【図24】本発明のクロック再生回路の第2実施例が設ける位相同期ループを構成する位相検出器の構成を示す回路図である。

【図25】本発明のクロック再生回路の第2実施例が設ける位相同期ループを構成するマルチブライング・チャージポンプの構成を示す回路図である。

【図26】本発明のクロック再生回路の第2実施例が設ける位相同期ループを構成するマルチブライング・チャージポンプが設ける一方の駆動電圧発生回路の構成を示す回路図である。

【図27】本発明のクロック再生回路の第2実施例が設ける位相同期ループを構成するマルチブライング・チャージポンプが設ける他方の駆動電圧発生回路の構成を示す回路図である。

【図28】本発明のクロック再生回路の第2実施例が設ける位相同期ループを構成するマルチブライング・チャージポンプの動作を説明するためのタイムチャートである。

【図29】本発明のクロック再生回路の第2実施例が設ける位相同期ループを構成するループフィルタの構成を示す回路図である。

【図30】本発明のクロック再生回路の第3実施例の構成を示す回路図である。

【図31】本発明のクロック再生回路の第3実施例が設ける位相同期ループを構成する電圧制御発振器の構成を示す回路図である。

【図32】本発明のクロック再生回路の第4実施例の構成を示す回路図である。

【図33】本発明のクロック再生回路の第4実施例が設ける位相同期ループ制御回路を構成するローパスフィルタの構成及び位相同期ループを構成するマルチブライング・チャージポンプの構成を示す回路図である。

【図34】従来のクロック再生回路の一例の構成を示す回路図である。

【図35】従来の位相検出器及びチャージポンプの一例の構成を示す回路図である。

【符号の説明】

P D 位相検出器

C P チャージポンプ

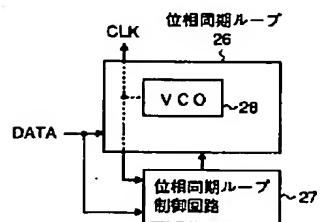
L F ループフィルタ

L P F ローパスフィルタ

V C O 電圧制御発振器

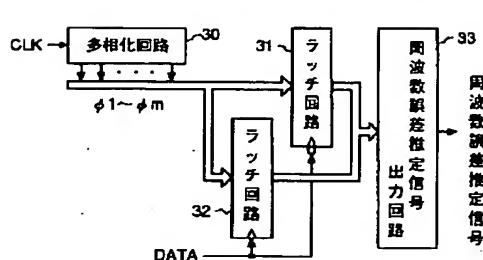
【図1】

本発明のクロック再生回路の原理説明図



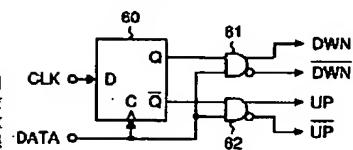
【図2】

本発明の周波数誤差検定回路の原理説明図



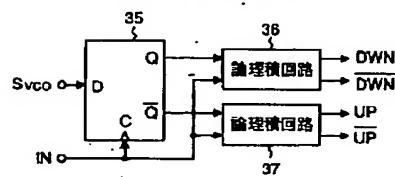
【図6】

位相検出器58の構成を示す回路図

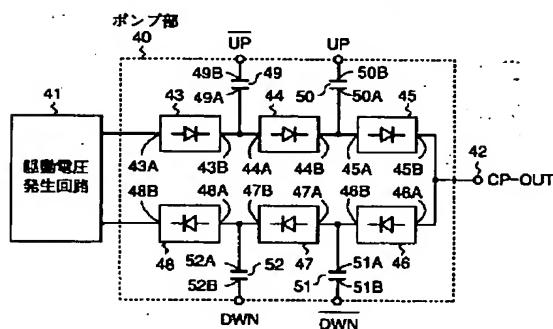


【図3】

本発明の位相検出器の原理説明図

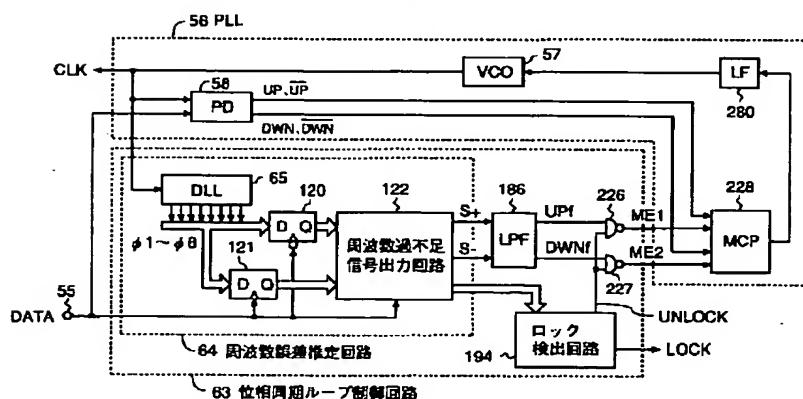


本発明のチャージポンプの原理説明図



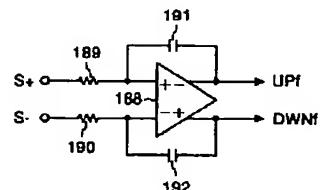
【図5】

本発明のクロック再生回路の第1実施例の構成を示す回路図



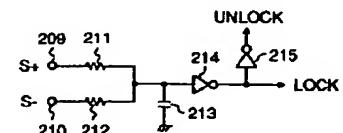
【図15】

ローパスフィルタ186の構成を示す回路図



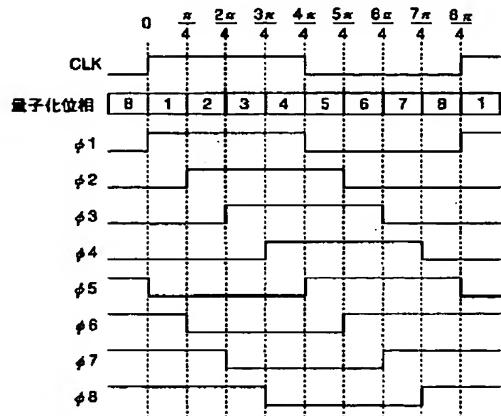
【図18】

ロック検出回路194の第3構成例を示す回路図



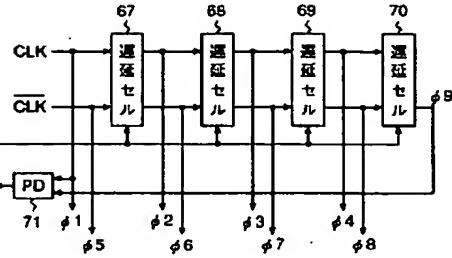
【図7】

遅延同期ループ6.5の動作を説明するためのタイムチャート



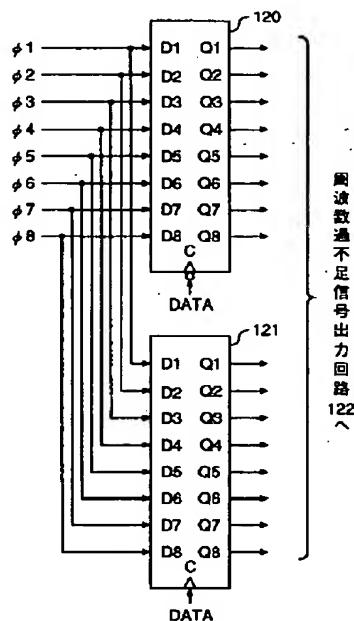
【図8】

遅延同期ループ6.5の第1構成例を示す回路図



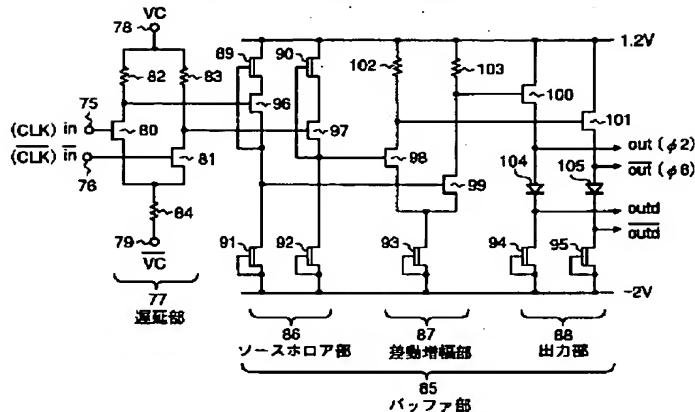
【図11】

ラッチ回路120、121をより詳しく示す図



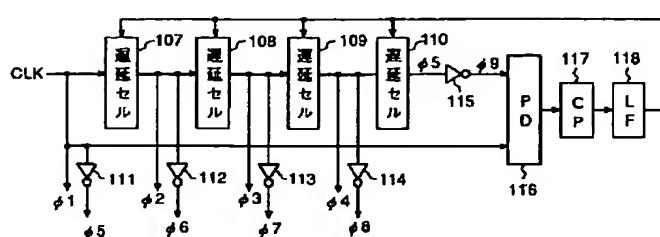
【図9】

遅延セル6.7～7.0として使用することができる遅延セルの一例の構成を示す回路図



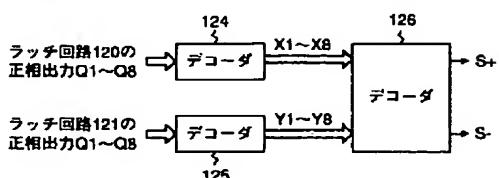
【図10】

遅延同期ループ6.5の第2構成例を示す回路図



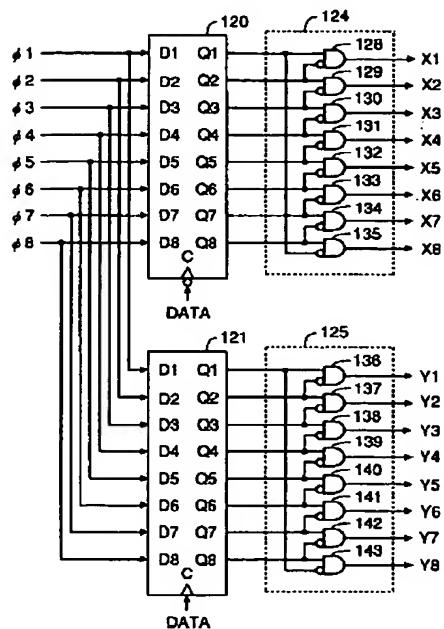
【図12】

周波数過不足信号出力回路122の構成を示す回路図



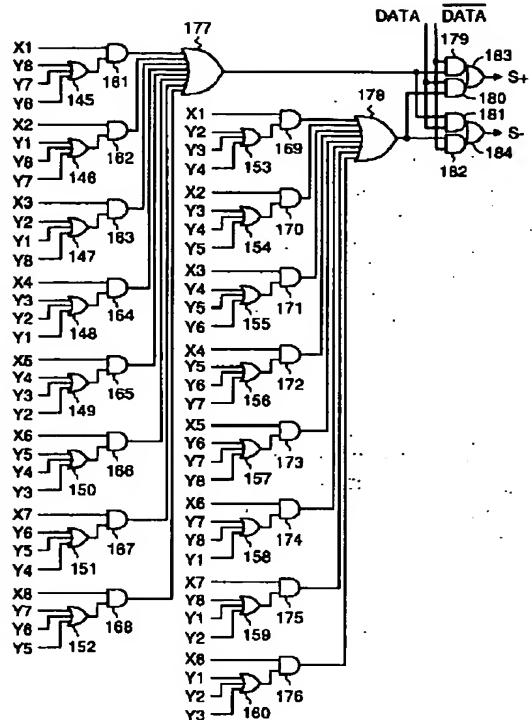
【図13】

デコーダ124、125の構成を示す回路図



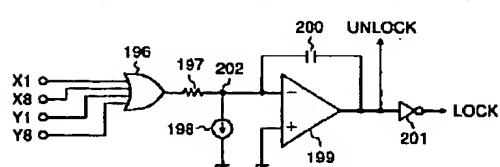
【図14】

デコーダ126の構成を示す回路図



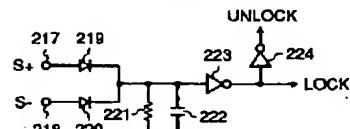
【図16】

ロック検出回路194の第1構成例を示す回路図



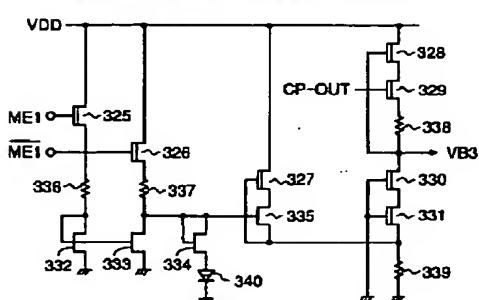
【図19】

ロック検出回路194の第4構成例を示す回路図



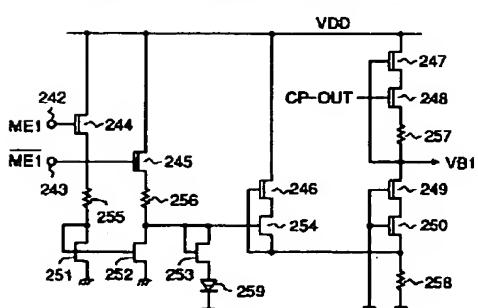
【図26】

駆動電圧発生回路298の構成を示す回路図



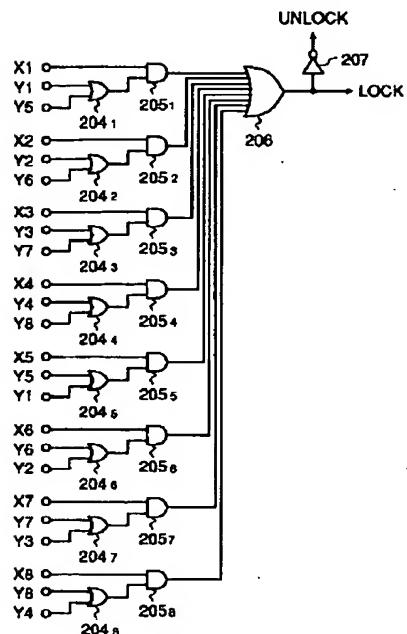
【図21】

駆動電圧発生回路234の構成を示す回路図



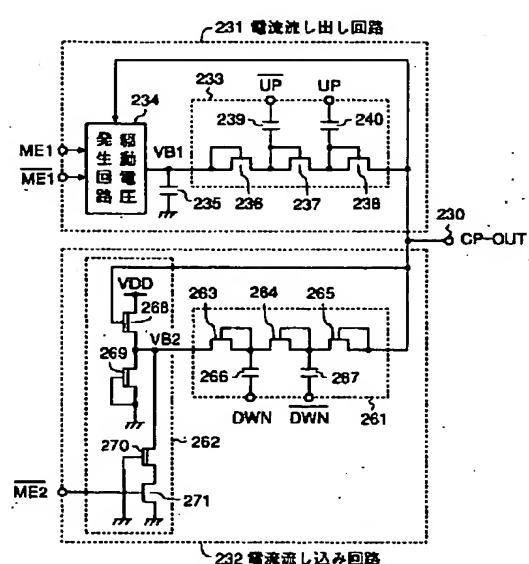
【図17】

ロック検出回路194の第2構成例を示す回路図



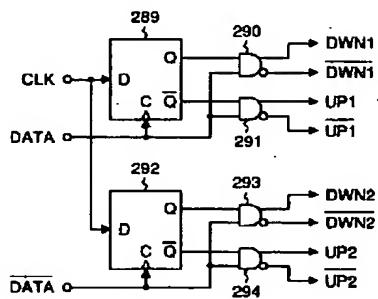
【図20】

マルチブライング・チャージポンプ228の構成を示す回路図



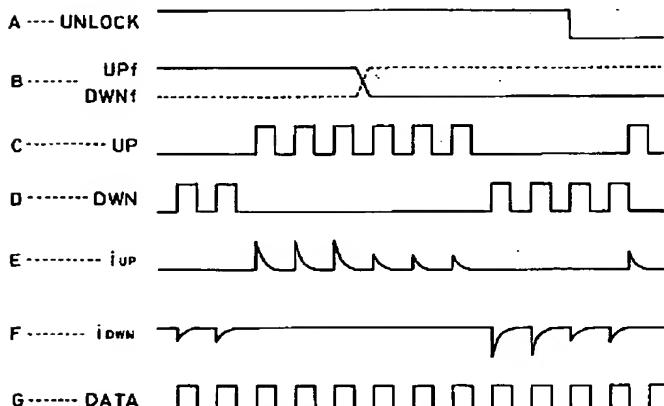
【図24】

位相検出器283の構成を示す回路図



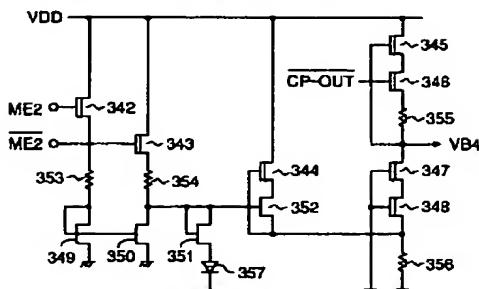
【図22】

マルチブライング・チャージポンプ228の動作を説明するためのタイムチャート



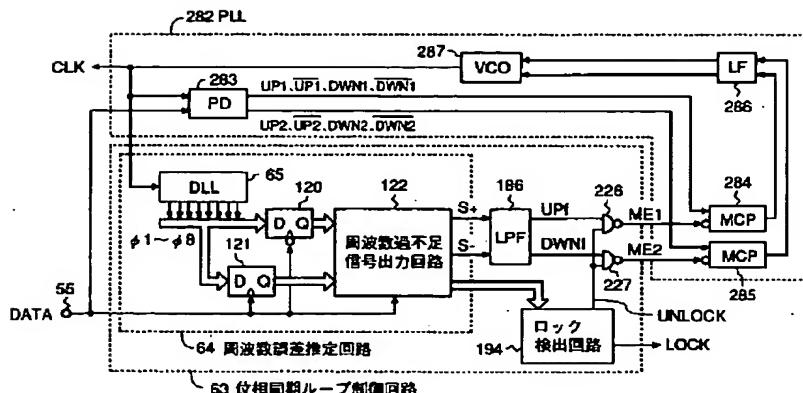
【図27】

駆動電圧発生回路312の構成を示す回路図



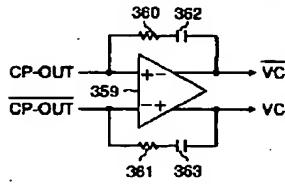
【図23】

本発明のクロック再生回路の第2実施例の構成を示す回路図

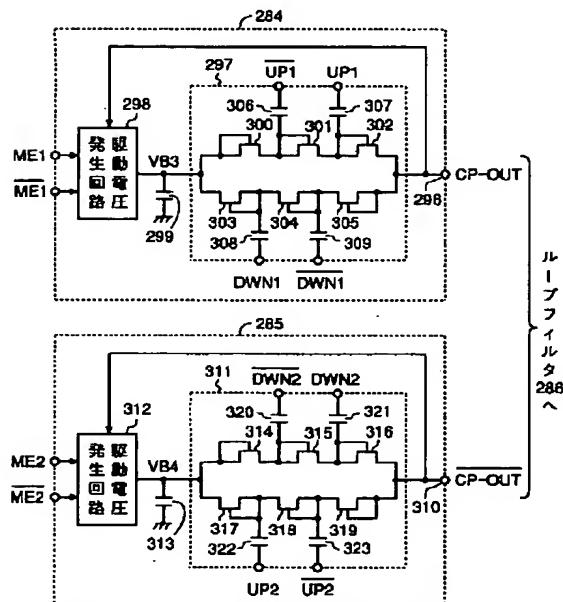


【図29】

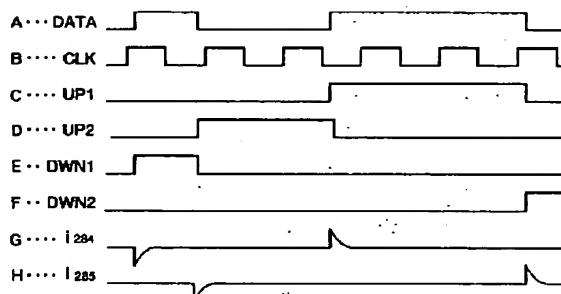
ループフィルタ286の構成を示す回路図



【図25】

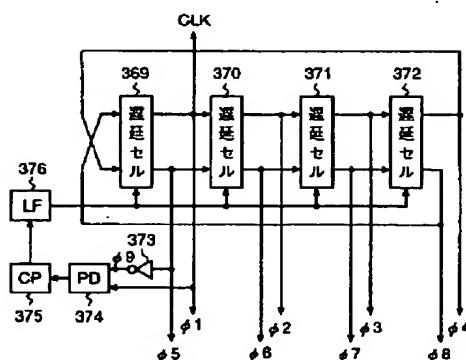
マルチブライング・チャージポンプ
284、285の構成を示す回路図

【図28】

マルチブライング・チャージポンプ284、285
の動作を説明するためのタイムチャート

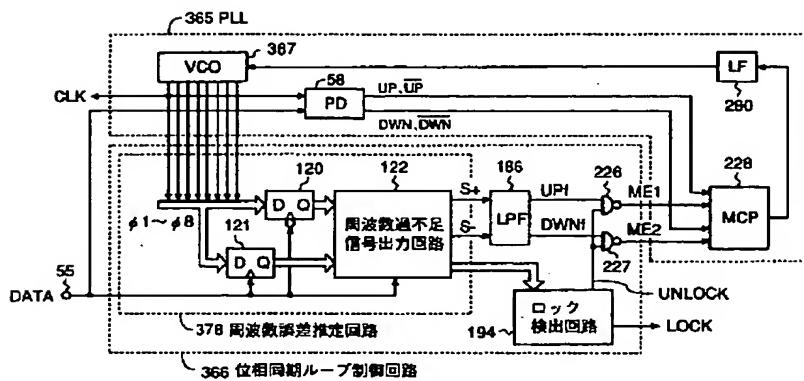
【図31】

電圧制御発振器367の構成を示す回路図



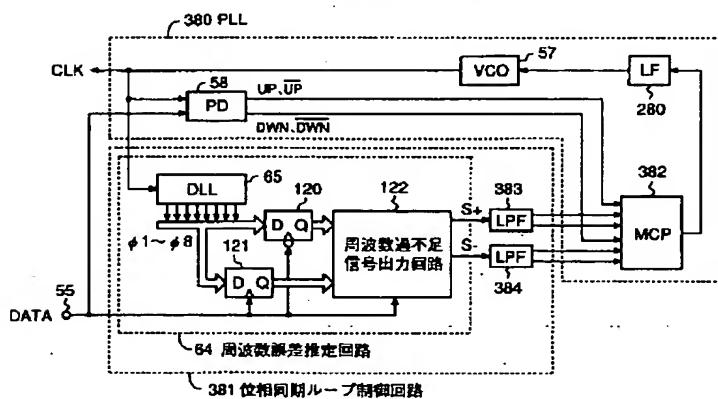
【図30】

本発明のクロック再生回路の第3実施例の構成を示す回路図



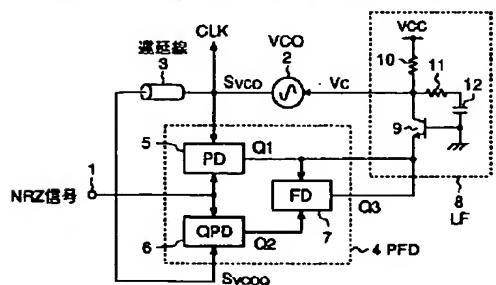
【図32】

本発明のクロック再生回路の第4実施例の構成を示す回路図



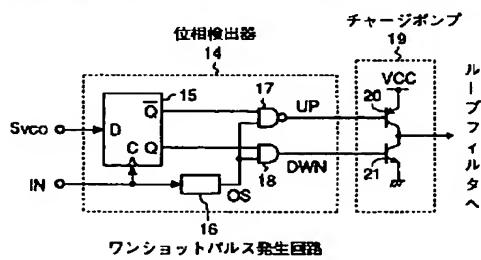
【図34】

従来のクロック再生回路の一例の構成を示す回路図



【図35】

従来の位相検出器及びチャージポンプの一例の構成を示す回路図



【図33】

ローパスフィルタ383、384及びマルチブライング・チャージポンプ382の構成を示す回路図

